

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

JC997 U.S. PTO
09/842631
04/27/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2001年 2月 5日

出 願 番 号

Application Number:

特願2001-028606

出 願 人

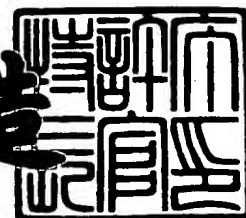
Applicant (s):

シャープ株式会社

2001年 3月30日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3024905

【書類名】 特許願

【整理番号】 175499

【提出日】 平成13年 2月 5日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 ▲しん▼ 文棟

【特許出願人】

【識別番号】 000005049

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 葆

【選任した代理人】

【識別番号】 100084146

【弁理士】

【氏名又は名称】 山崎 宏

【先の出願に基づく優先権主張】

【出願番号】 特願2000-129690

【出願日】 平成12年 4月28日

【先の出願に基づく優先権主張】

【出願番号】 特願2000-283481

【出願日】 平成12年 9月19日

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0003090

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 基板上に順次積層された下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタを備えた半導体装置の製造方法であって、

上記強誘電体薄膜を複数の層で構成し、

上記強誘電体薄膜の最下層と上記強誘電体薄膜の最上層との間の層に対して第 1 温度の加熱処理を第 1 設定時間施すことにより、上記最下層と上記最上層との間の層を結晶化すると共に、

上記最下層および上記最上層の少なくとも一方に対して上記第 1 温度よりも低い第 2 温度の加熱処理を施すことにより、上記最下層および上記最上層の少なくとも一方を結晶化することを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 に記載の半導体装置の製造方法において、

上記最下層と上記最上層とを上記第 2 温度の加熱処理により結晶化することを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 2 に記載の半導体装置の製造方法において、

上記最下層と上記最上層との加熱処理の時間が上記第 1 設定時間であることを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 1 に記載の半導体装置の製造方法において、

上記最下層を上記第 2 温度の加熱処理により結晶化すると共に、上記最上層を上記第 1 設定時間よりも短い第 2 設定時間の加熱処理により結晶化することを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 4 に記載の半導体装置の製造方法において、

上記最下層を結晶化する加熱処理の時間が上記第 1 設定時間であると共に、上記最上層を結晶化する加熱処理の温度が上記第 1 温度であることを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 1 に記載の半導体装置の製造方法において、

上記最下層を上記第 1 設定時間よりも短い第 2 設定時間の加熱処理により結晶化すると共に、上記最上層を上記第 2 温度の加熱処理により結晶化することを特

徴とする半導体装置の製造方法。

【請求項 7】 請求項 6 に記載の半導体装置の製造方法において、

上記最下層を結晶化する加熱処理の温度が上記第 1 温度であると共に、上記最下層を結晶化する加熱処理の時間が上記第 1 設定時間であることを特徴とする半導体装置の製造方法。

【請求項 8】 基板上に順次積層された下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタを備えた半導体装置の製造方法であって、

上記強誘電体薄膜を複数の層で構成し、

上記強誘電体薄膜の最下層と上記強誘電体薄膜の最上層との間の層に対して第 1 温度の加熱処理を第 1 設定時間施すことにより、上記最下層と上記最上層との間の層を結晶化すると共に、

上記最下層および上記最上層の少なくとも一方に対して上記第 1 設定時間よりも短い第 2 設定時間の加熱処理を施すことにより、上記最下層および上記最上層の少なくとも一方を結晶化することを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 8 に記載の半導体装置の製造方法において、

上記最下層と上記最上層とを上記第 2 設定時間の加熱処理により結晶化することを特徴とする半導体装置の製造方法。

【請求項 10】 請求項 9 に記載の半導体装置の製造方法において、

上記最下層と上記最上層との加熱処理の温度が上記第 1 温度であることを特徴とする半導体装置の製造方法。

【請求項 11】 請求項 1 乃至 10 のいずれか 1 つに記載の半導体装置の製造方法において、

上記第 1 温度が 700℃を越えかつ 800℃以下の温度であることを特徴とする半導体装置の製造方法。

【請求項 12】 請求項 1 乃至 11 のいずれか 1 つに記載の半導体装置の製造方法において、

上記第 2 温度が 600℃～700℃の範囲であることを特徴とする半導体装置の製造方法。

【請求項 13】 請求項 1 乃至 12 のいずれか 1 つに記載の半導体装置の製

造方法において、

上記第 1 設定時間が 1 0 分を越えかつ 6 0 分以下であることを特徴とする半導体装置の製造方法。

【請求項 1 4】 請求項 1 乃至 1 3 のいずれか 1 つに記載の半導体装置の製造方法において、

上記第 2 設定時間が 5 分～1 0 分の範囲であることを特徴とする半導体装置の製造方法。

【請求項 1 5】 請求項 1 乃至 1 4 のいずれか 1 つに記載の半導体装置の製造方法において、

上記強誘電体薄膜が B i 層状構造強誘電体であることを特徴とする半導体装置の製造方法。

【請求項 1 6】 請求項 1 乃至 1 5 のいずれか 1 つに記載の半導体装置の製造方法において、

上記強誘電体薄膜の成膜方法は塗布成膜であることを特徴とする半導体装置の製造方法。

【請求項 1 7】 請求項 1 乃至 1 5 のいずれか 1 つに記載の半導体装置の製造方法において、

上記強誘電体薄膜の成膜方法は L S M C D 法であることを特徴とする半導体装置の製造方法。

【請求項 1 8】 請求項 1 7 に記載の半導体装置の製造方法において、

上記最下層と上記最上層との間の層は、堆積、第 3 温度の仮焼成を行う工程を複数回繰り返した後に、上記第 1 温度の加熱処理を上記第 1 設定時間施すことにより結晶化することを特徴とする半導体装置の製造方法。

【請求項 1 9】 基板上に順次積層された下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタを有する半導体装置であって、

上記強誘電体薄膜が複数の層で構成され、

上記強誘電体薄膜の最下層および上記強誘電体薄膜の最上層の少なくとも一方の結晶粒が、上記最下層と上記最上層との間の層の結晶粒よりも小さいことを特徴とする半導体装置。

【請求項 20】 基板上に順次積層された下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタを有する半導体装置であって、

上記強誘電体薄膜が複数の層で構成され、

上記強誘電体薄膜の最下層および上記強誘電体薄膜の最上層の結晶粒が、上記最下層と上記最上層との間の層の結晶粒よりも小さいことを特徴とする半導体装置。

【請求項 21】 基板上に順次積層された下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタを備えた半導体装置の製造方法であって、

上記強誘電体薄膜を複数の層で構成し、

上記強誘電体薄膜の最下層をレーザアニールで結晶化させることを特徴とする半導体装置の製造方法。

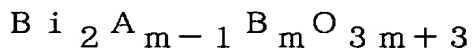
【請求項 22】 基板上に順次積層された下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタを備えた半導体装置の製造方法であって、

上記強誘電体薄膜を複数の層で構成し、

上記強誘電体薄膜の最下層を、赤外線加熱によるラピッドサーマルアニールで結晶化させることを特徴とする半導体装置の製造方法。

【請求項 23】 請求項 21 または 23 に記載の半導体装置の製造方法において、

上記強誘電体薄膜の材料が、



A : Na、K、Pb、Ca、Sr、Ba、および Bi の中から選択した 1 つ

B : Fe、Ti、Nb、Ta、W、および Mo の中から選択した 1 つ

m : 自然数

で示される材料であることを特徴とする半導体薄膜の製造方法。

【請求項 24】 基板上に順次積層された下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタを有する半導体装置であって、

上記強誘電体薄膜が複数の層で構成され、

上記強誘電体薄膜の最下層の結晶核密度が、上記強誘電体薄膜において上記最下層よりも上の層の結晶核密度よりも高いことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えば F E R A M（強誘電体ランダム・アクセス・メモリ）などに用いられる強誘電体薄膜を有する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

近年、半導体装置に用いられる強誘電体薄膜の研究が活発に進められている。上記強誘電体薄膜を有する半導体装置は、その高速書き込み、読み出し、低電圧駆動および良好な疲労特性などの点から、不揮発性メモリである E P R O M（消去書き込み可能リード・オンリ・メモリ）、E E P R O M（電氣的消去書き込み可能リード・オンリ・メモリ）およびフラッシュメモリへの置き換えが可能であると共に、S R A M（スタティック・ランダム・アクセス・メモリ）、D R A M（ダイナミック・ランダム・アクセス・メモリ）への置き換えも可能であるメモリとして、実用化に向けて研究開発が盛んに行われている。

【0003】

また、上記強誘電体薄膜の高誘電率特性を利用することにより、キャパシタサイズを小さくして D R A M などの半導体素子の高集積化が図られ、ギガビット級のデバイスが試作されている。

【0004】

上述したように、上記強誘電体薄膜を有する半導体装置を各種の半導体素子などのデバイスに適用するためには、従来の半導体製造プロセスに整合した強誘電体材料の薄膜化技術の開発が不可欠となる。すなわち、成膜温度の低温化と薄膜の緻密・平坦化によって薄い膜厚で所望の特性を実現でき、微細加工や動作電圧の低減にも対応可能な強誘電体材料およびその薄膜化技術の開発が望まれる。

【0005】

従来、半導体装置としては、基板上に順次積層された下部電極、強誘電体薄膜および上部電極をからなる強誘電体キャパシタを有するものがある。この強誘電体キャパシタにおける強誘電体薄膜の材料としては、P Z T（ $\text{PbZr}_x\text{Ti}_{1-x}$

O_3) と SBT ($\text{SrBi}_2\text{Ta}_2\text{O}_9$) が検討されている。上記 SBT は、PZT に比べて膜疲労による劣化が少ないという利点と、低電圧駆動が可能であるという利点とを有している。

【 0 0 0 6 】

また、上記 SBT を成膜する方法としては、MOD (メタル・オーガニック・ディコムポジション: metal organic decomposition) 法, ゾルゲル法, MOCVD (有機金属化学気相成長: metal organic chemical vapor deposition) 法およびスパッタリング法などの方法を用いるのが一般的である。このような方法では、強誘電体薄膜に対して強誘電体特性を引き出すために酸化雰囲気中の $600^\circ\text{C} \sim 800^\circ\text{C}$ の熱処理が必要となる。

【 0 0 0 7 】

上記 SBT を材料とする強誘電体薄膜を有する半導体装置の製造方法を以下に説明する。

【 0 0 0 8 】

まず、図 3 (a) に示すように、熱酸化によって、シリコン基板 41 の表面に膜厚 200 nm のシリコン酸化膜 42 を形成した後、そのシリコン酸化膜 42 上に、膜厚 30 nm の Ti 密着層 43、膜厚 200 nm の Pt 下部電極 44 をスパッタリング法で順次形成する。そして、上記 Pt 下部電極 44 上に、組成比 $\text{Sr} / \text{Bi} / \text{Ta} = 8 / 24 / 20$ の SBT 溶液を塗布し、 250°C 、5 分間の乾燥工程を行った後、酸素雰囲気中において $600^\circ\text{C} \sim 800^\circ\text{C}$ 、10 分～60 分の結晶化アニールを行って SBT 層 45 を形成する。その後、上記 SBT 層 45 と同様の製造方法を 3 回繰り返すことにより、SBT 層 45 上に SBT 層 46, 47, 48 を順次形成し、複数の SBT 層 45, 46, 47, 48 からなる膜厚 200 nm の強誘電体薄膜 50 を作製する。なお、上記 SBT 層 45, 46, 47, 48 の各層の結晶化アニールの温度は同じである。

【 0 0 0 9 】

最後に、図 3 (b) に示すように、上記誘電体薄膜 50 上に積層した Pt をフォトリソグラフィでパターンニングして、Pt 上部電極 49 を形成する。

【 0 0 1 0 】

【発明が解決しようとする課題】

しかしながら、上記半導体装置の製造方法では、S B T 層 4 5 , 4 6 , 4 7 , 4 8 の結晶化アニールを 7 0 0 ° C ~ 8 0 0 ° C の比較的高温で行った場合、強誘電体特性が改善され、残留分極が大きくなるが、ピンホールなどの隙間が大きくなり、ヒステリシスループの対称性も悪くなるために、強誘電体キャパシタの均一性が悪くなるという問題がある。

【0 0 1 1】

一方、上記 S B T 層 4 5 , 4 6 , 4 7 , 4 8 の結晶化アニールを 6 0 0 ° C ~ 7 0 0 ° C の比較的低温で行った場合、均一で微細な結晶粒を得られるが、残留分極が小さく、強誘電体特性を十分に引き出したとは言えない。したがって、上記強誘電体キャパシタを記憶素子に用いることができないという問題がある。

【0 0 1 2】

また、特開平 1 0 - 3 2 1 8 0 9 号公報の半導体装置の製造方法では、真空装置を用いて、1 0 T o r r の減圧酸素雰囲気において 5 0 0 ° C ~ 7 0 0 ° C の結晶化アニールを行っている。その結果、上記真空装置を使用するために、結晶化アニールを常圧下で行う場合に比べて量産性が劣るという問題がある。

【0 0 1 3】

そこで、本発明の目的は、強誘電体キャパシタの均一性を向上でき、かつ、記憶素子に用いることができる量産性が高い半導体装置およびその製造方法を提供することにある。

【0 0 1 4】

【課題を解決するための手段】

上記目的を達成するため、本発明の半導体装置の製造方法は、基板上に順次積層された下部電極、強誘電体薄膜および上部電極からなる半導体装置の製造方法であって、上記強誘電体薄膜を複数の層で構成し、上記強誘電体薄膜の最下層と上記強誘電体薄膜の最上層との間の層に対して第 1 温度の加熱処理を第 1 設定時間施すことにより、上記最下層と上記最上層との間の層を結晶化すると共に、上記最下層および上記最上層の少なくとも一方に対して上記第 1 温度よりも低い第 2 温度の加熱処理を施すことにより、上記最下層および上記最上層の少なくとも

一方を結晶化することを特徴としている。

【 0 0 1 5 】

本発明の半導体装置の製造方法によれば、上記下部電極上に、複数の層からなる強誘電体薄膜を積層した後、その強誘電体薄膜上に上部電極を形成している。このとき、上記強誘電体薄膜の最下層と強誘電体薄膜の最上層との間の層に対しては第1温度の加熱処理が第1設定時間施されて、最下層と最上層との間の層が結晶化している。一方、上記強誘電体薄膜の最下層および最上層の少なくとも一方に対しては第1温度よりも低い第2温度の加熱処理が施されて、最下層および最上層の少なくとも一方が結晶化している。その結果、上記強誘電体薄膜の最下層および最上層の少なくとも一方において、粗大な結晶粒の成長が抑制されて、結晶核密度が高く、ピンホールなどの隙間が小さくなり、表面モフォロジーが改善される。したがって、上記強誘電体薄膜の構造が緻密になり、強誘電体キャパシタの均一性を向上させることができる。

【 0 0 1 6 】

また、上記強誘電体薄膜の最下層および最上層の少なくとも一方の表面モフォロジーが改善されるので、下部電極および上部電極の少なくとも一方に対する強誘電体薄膜の密着性が向上し、下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタの電気特性が向上する。したがって、上記強誘電体キャパシタを記憶素子に用いることができる。

【 0 0 1 7 】

また、上記強誘電体薄膜の結晶化が真空装置を使用せずに行われているので、例えば真空引きなどの時間を必要としない。したがって、上記真空装置を用いる場合よりも量産性を高めることができる。

【 0 0 1 8 】

また、一実施形態の発明の半導体装置の製造方法は、上記最下層と上記最上層とを上記第2温度の加熱処理により結晶化することを特徴としている。

【 0 0 1 9 】

上記一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層、最上層が比較的低温である第2温度の加熱処理で結晶化されることによ

って、強誘電体薄膜の最下層,最上層における粗大な結晶粒の成長を抑制することができる。したがって、上記強誘電体薄膜の最下層,最上層の結晶粒を均一かつ微細にすることができる。

【 0 0 2 0 】

また、一実施形態の発明の半導体装置の製造方法は、上記最下層と上記最上層との加熱処理の時間が上記第 1 設定時間であることを特徴としている。

【 0 0 2 1 】

上記一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層,最上層の加熱処理の時間が比較的長時間である第 1 設定時間であることによって、この加熱処理の温度が比較的低温である第 2 温度であっても、強誘電体薄膜の最下層,最上層を確実に結晶化することができる。

【 0 0 2 2 】

また、一実施形態の発明の半導体装置の製造方法は、上記最下層を上記第 2 温度の加熱処理により結晶化すると共に、上記最上層を上記第 1 設定時間よりも短い第 2 設定時間の加熱処理により結晶化することを特徴としている。

【 0 0 2 3 】

上記一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層が比較的低温である第 2 温度の加熱処理で結晶化されることによって、強誘電体薄膜の最下層における粗大な結晶粒の成長を抑制することができる。したがって、上記強誘電体薄膜の最下層の結晶粒を均一かつ微細にすることができる。

【 0 0 2 4 】

また、上記強誘電体薄膜の最上層が比較的短時間である第 2 設定時間の加熱処理で結晶化されることによって、強誘電体薄膜の最上層における粗大な結晶粒の成長を抑制することができる。したがって、上記強誘電体薄膜の最上層の結晶粒を均一かつ微細にすることができる。

【 0 0 2 5 】

また、一実施形態の発明の半導体装置の製造方法は、上記最下層を結晶化する加熱処理の時間が上記第 1 設定時間であると共に、上記最上層を結晶化する加熱

処理の温度が上記第 1 温度であることを特徴としている。

【 0 0 2 6 】

上記一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層を結晶化する加熱処理の時間が比較的長時間である第 1 設定時間であることによって、この加熱処理の温度が比較的低温である第 2 温度であっても、強誘電体薄膜の最下層を確実に結晶化することができる。

【 0 0 2 7 】

上記強誘電体薄膜の最上層を結晶化する加熱処理の温度が比較的高温である第 1 温度であることによって、この加熱処理の時間が比較的短時間である第 2 設定時間であっても、強誘電体薄膜の最上層を確実に結晶化することができる。

【 0 0 2 8 】

また、一実施形態の発明の半導体装置の製造方法は、上記最下層を上記第 1 設定時間よりも短い第 2 設定時間の加熱処理により結晶化すると共に、上記最上層を上記第 2 温度の加熱処理により結晶化することを特徴としている。

【 0 0 2 9 】

上記一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層が比較的短時間である第 2 設定時間の加熱処理で結晶化されることによって、強誘電体薄膜の最下層における粗大な結晶粒の成長を抑制することができる。したがって、上記強誘電体薄膜の最下層の結晶粒を均一かつ微細にすることができる。

【 0 0 3 0 】

また、上記強誘電体薄膜の最上層が比較的低温である第 2 温度の加熱処理で結晶化されることによって、強誘電体薄膜の最上層における粗大な結晶粒の成長を抑制することができる。したがって、上記強誘電体薄膜の最上層の結晶粒を均一かつ微細にすることができる。

【 0 0 3 1 】

また、一実施形態の発明の半導体装置の製造方法は、上記最下層を結晶化する加熱処理の温度が上記第 1 温度であると共に、上記最下層を結晶化する加熱処理の時間が上記第 1 設定時間であることを特徴としている。

【 0 0 3 2 】

上記一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層を結晶化する加熱処理の温度が比較的高温である第 1 温度であることによって、この加熱処理の時間が比較的短時間である第 2 設定時間であっても、強誘電体薄膜の最下層を確実に結晶化することができる。

【 0 0 3 3 】

上記強誘電体薄膜の最上層を結晶化する加熱処理の温度が比較的長時間である第 1 設定時間であることによって、この加熱処理の温度が比較的低温である第 2 温度であっても、強誘電体薄膜の最上層を確実に結晶化することができる。

【 0 0 3 4 】

また、一実施形態の発明の半導体装置の製造方法は、基板上に順次積層された下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタを備えた半導体装置の製造方法であって、上記強誘電体薄膜を複数の層で構成し、上記強誘電体薄膜の最下層と上記強誘電体薄膜の最上層との間の層に対して第 1 温度の加熱処理を第 1 設定時間施すことにより、上記最下層と上記最上層との間の層を結晶化すると共に、上記最下層および上記最上層の少なくとも一方に対して上記第 1 設定時間よりも短い第 2 設定時間の加熱処理を施すことにより、上記最下層および上記最上層の少なくとも一方を結晶化することを特徴としている。

【 0 0 3 5 】

上記一実施形態の発明の半導体装置の製造方法によれば、上記下部電極上に、複数の層からなる強誘電体薄膜を積層した後、その強誘電体薄膜上に上部電極を形成している。このとき、上記強誘電体薄膜の最下層と上記強誘電体薄膜の最上層との間の層に対しては第 1 温度の加熱処理が第 1 設定時間施されて、最下層と最上層との間の層が結晶化している。一方、上記強誘電体薄膜の最下層および最上層の少なくとも一方に対しては第 1 設定時間よりも短い第 2 設定時間の加熱処理が施されて、最下層および最上層の少なくとも一方が結晶化している。その結果、上記強誘電体薄膜の最下層および最上層の少なくとも一方において、粗大な結晶粒の成長が抑制されて、結晶核密度が高く、ピンホールなどの隙間が小さくなり、表面モフォロジーが改善される。したがって、上記強誘電体薄膜の構造が

緻密になり、強誘電体キャパシタの均一性を向上させることができる。

【 0 0 3 6 】

また、上記強誘電体薄膜の最下層および最上層の少なくとも一方の表面モフォロジーが改善されるので、下部電極および上部電極の少なくとも一方に対する強誘電体薄膜の密着性が向上し、下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタの電気特性が向上する。したがって、上記強誘電体キャパシタを記憶素子に用いることができる。

【 0 0 3 7 】

また、上記強誘電体薄膜の結晶化が真空装置を使用せずに行われているので、例えば真空引きなどの時間を必要としない。したがって、上記真空装置を用いる場合よりも量産性を高めることができる。

【 0 0 3 8 】

また、一実施形態の発明の半導体装置の製造方法は、上記最下層と上記最上層とを上記第 2 設定時間の加熱処理により結晶化することを特徴としている。

【 0 0 3 9 】

上記一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層、最上層が比較的短時間である第 2 設定時間の加熱処理で結晶化されることによって、強誘電体薄膜の最下層、最上層における粗大な結晶粒の成長を抑制することができる。したがって、上記強誘電体薄膜の最下層、最上層の結晶粒を均一かつ微細にすることができる。

【 0 0 4 0 】

また、一実施形態の発明の半導体装置の製造方法は、上記最下層と上記最上層との加熱処理の温度が上記第 1 温度であることを特徴としている。

【 0 0 4 1 】

上記一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層、最上層の加熱処理の温度が比較的高温である第 1 温度であることによって、その加熱処理の時間が比較的短時間である第 2 設定時間であっても、強誘電体薄膜の最下層、最上層を確実に結晶化することができる。

【 0 0 4 2 】

また、一実施形態の発明の半導体装置の製造方法は、上記第1温度が700℃を越えかつ800℃以下の温度であることを特徴としている。

【0043】

上記一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層および最上層の少なくとも一方を形成するための加熱処理が比較的短時間である場合、第1温度が700℃を越えかつ800℃以下の温度あることによって、強誘電体薄膜の最下層および最上層の少なくとも一方において均一で微細な結晶粒を確実に得ることができる。

【0044】

また、もし、上記第1温度が700℃以下であると、強誘電体薄膜の最下層および最上層の少なくとも一方において均一で微細な結晶粒を確実に得ることができない場合がある。

【0045】

また、もし、上記第1温度が800℃を越えてしまうと、強誘電体薄膜の最下層および最上層の少なくとも一方の結晶粒が粗大になってしまう。

【0046】

また、一実施形態の発明の半導体装置の製造方法は、上記第2温度が600℃～700℃の範囲であることを特徴としている。

【0047】

上記一実施形態の発明の半導体装置の製造方法によれば、第2温度が600℃～700℃の範囲であることによって、強誘電体薄膜の最下層および最上層の少なくとも一方において均一で微細な結晶粒を確実に得ることができる。

【0048】

また、もし、上記第2温度が600℃未満であると、強誘電体薄膜の最下層および最上層の少なくとも一方において均一で微細な結晶粒を確実に得ることができない。

【0049】

また、もし、上記第2温度が700℃を越えてしまうと、強誘電体薄膜の最下層および最上層の少なくとも一方の結晶粒が粗大になってしまう場合がある。

【 0 0 5 0 】

また、一実施形態の発明の半導体装置の製造方法は、上記第 1 設定時間が 1 0 分を越えかつ 6 0 分以下であることを特徴としている。

【 0 0 5 1 】

上記一実施形態の発明の半導体装置の製造方法によれば、強誘電体薄膜の最下層および最上層の少なくとも一方を形成するための加熱処理が比較的低温である場合、第 1 設定時間が 1 0 分を越えかつ 6 0 分以下であることによって、強誘電体薄膜の最下層および最上層の少なくとも一方において均一で微細な結晶粒を確実に得ることができる。

【 0 0 5 2 】

また、もし、上記第 1 設定時間が 1 0 分未満だと、強誘電体薄膜の最下層および最上層の少なくとも一方において均一で微細な結晶粒を確実に得ることができない場合がある。

【 0 0 5 3 】

また、もし、上記第 1 設定時間が 6 0 分を越えると、強誘電体薄膜の最下層および最上層の少なくとも一方の結晶粒が粗大になってしまう。

【 0 0 5 4 】

また、一実施形態の発明の半導体装置の製造方法は、上記第 2 設定時間が 5 分～1 0 分の範囲であることを特徴としている。

【 0 0 5 5 】

上記一実施形態の発明の半導体装置の製造方法によれば、上記第 2 設定時間が 5 分～1 0 分の範囲であることによって、強誘電体薄膜の最下層および最上層の少なくとも一方において均一で微細な結晶粒を確実に得ることができる。

【 0 0 5 6 】

また、もし、上記第 2 設定時間が 5 分未満であると、強誘電体薄膜の最下層および最上層の少なくとも一方において均一で微細な結晶粒を確実に得ることができない。

【 0 0 5 7 】

また、もし、上記第 2 設定時間が 1 0 分を越えると、誘電体薄膜の最下層およ

び最上層の少なくとも一方の結晶粒が粗大になってしまう場合がある。

【 0 0 5 8 】

また、一実施形態の発明の半導体装置の製造方法は、上記強誘電体薄膜が B i 層状構造強誘電体であることを特徴としている。

【 0 0 5 9 】

上記一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜が粗大な結晶粒が生じやすい B i 層状構造強誘電体であっても、強誘電体薄膜の結晶構造は緻密である。

【 0 0 6 0 】

また、一実施形態の発明の半導体装置の製造方法は、上記強誘電体薄膜の成膜方法は塗布成膜であることを特徴としている。

【 0 0 6 1 】

上記一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の成膜方法は塗布成膜であることによって、例えば C V D 法などよりも簡単に、均一な膜厚の強誘電体薄膜を形成することができる。

【 0 0 6 2 】

また、一実施形態の発明の半導体装置の製造方法は、上記強誘電体薄膜の成膜方法は L S M C D 法であることを特徴としている。

【 0 0 6 3 】

上記一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜を L S M C D 法で形成するから、強誘電体薄膜のグレインサイズがより微細になり、より緻密な強誘電体薄膜を形成することができる。

【 0 0 6 4 】

また、一実施形態の発明の半導体装置の製造方法は、上記最下層と上記最上層との間の層は、堆積、第 3 温度の仮焼成を行う工程を複数回繰り返した後に、上記第 1 温度の加熱処理を上記第 1 設定時間施すことにより結晶化することを特徴としている。

【 0 0 6 5 】

上記一実施形態の発明の半導体装置の製造方法によれば、上記最下層と最上層

との間の層を、堆積、第3温度の仮焼成を行う工程を複数回繰り返して形成するから、第1温度の結晶化アニールを第1設定時間施したときに、大きな結晶が成長する。その結果、残留分極が大きくなり、強誘電体特性を十分かつ確実に引き出すことができる。

【0066】

本発明の半導体装置は、基板上に順次積層された下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタを有する半導体装置であって、上記強誘電体薄膜が複数の層で構成され、上記強誘電体薄膜の最下層および上記強誘電体薄膜の最上層の少なくとも一方の結晶粒が、上記最下層と上記最上層との間の層の結晶粒よりも小さいことを特徴としている。

【0067】

上記構成の半導体装置によれば、上記強誘電体薄膜の最下層および最上層の少なくとも一方の結晶粒が、最下層と最上層との間の層の結晶粒よりも小さいことによって、強誘電体薄膜の最下層および最上層の少なくとも一方は、結晶核密度が高く、表面モフォロジーが良好である。その結果、上記下部電極および上部電極の少なくとも一方に対する強誘電体薄膜の密着性が向上し、下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタの電気特性が向上している。したがって、上記強誘電体キャパシタを記憶素子に用いることができる。

【0068】

また、本発明の半導体装置は、基板上に順次積層された下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタを有する半導体装置であって、上記強誘電体薄膜が複数の層で構成され、上記強誘電体薄膜の最下層および上記強誘電体薄膜の最上層の結晶粒が、上記最下層と上記最上層との間の層の結晶粒よりも小さいことを特徴としている。

【0069】

上記構成の半導体装置によれば、上記強誘電体薄膜の最下層および最上層の結晶粒が、最下層と最上層との間の層の結晶粒よりも小さいことによって、強誘電体薄膜の最下層および最上層は、結晶核密度が高く、表面モフォロジーが良好である。その結果、上記下部電極および上部電極に対する強誘電体薄膜の密着性が

向上し、下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタの電気特性がより向上している。したがって、上記強誘電体キャパシタを記憶素子に用いることができる。

【 0 0 7 0 】

本発明の半導体装置の製造方法は、基板上に順次積層された下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタを備えた半導体装置の製造方法であって、上記強誘電体薄膜を複数の層で構成し、上記強誘電体薄膜の最下層をレーザアニールで結晶化させることを特徴としている。

【 0 0 7 1 】

上記半導体装置の製造方法によれば、上記下部電極上に、複数の層からなる強誘電体薄膜を積層した後、その強誘電体薄膜上に上部電極を形成している。その強誘電体薄膜の最下層はレーザ光を用いたレーザアニールで結晶化させている。そうすると、上記強誘電体薄膜の最下層では、結晶核の生成が結晶成長よりも先行して、結晶核密度が高くなり、粗大な結晶粒の成長が抑制される。これにより、上記強誘電体薄膜の最下層において、ピンホールなどの隙間が小さくなり、表面モフォロジーが改善される。その結果、上記強誘電体薄膜の結晶粒が微細になり、その結晶粒径の均一性を向上させることができる。したがって、上記強誘電体薄膜の構造が緻密になり、強誘電体キャパシタの電気特性および強誘電体特性を向上させることができる。

【 0 0 7 2 】

本発明の半導体装置の製造方法は、基板上に順次積層された下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタを備えた半導体装置の製造方法であって、上記強誘電体薄膜を複数の層で構成し、上記強誘電体薄膜の最下層を、赤外線加熱によるラピッドサーマルアニールで結晶化させることを特徴としている。

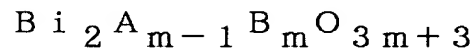
【 0 0 7 3 】

上記半導体装置の製造方法によれば、上記下部電極上に、複数の層からなる強誘電体薄膜を積層した後、その強誘電体薄膜上に上部電極を形成している。その強誘電体薄膜の最下層は、例えば赤外線ランプなどを用いた赤外線加熱によるラ

ピッドサーマルアニールで結晶化させている。そうすると、上記強誘電体薄膜の最下層では、結晶核の生成が結晶成長よりも先行して、結晶核密度が高くなり、粗大な結晶粒の成長が抑制される。これにより、上記強誘電体薄膜の最下層において、ピンホールなどの隙間が小さくなり、表面モフォロジーが改善される。その結果、上記強誘電体薄膜の結晶粒が微細になり、その結晶粒径の均一性を向上させることができる。したがって、上記強誘電体薄膜の構造が緻密になり、強誘電体キャパシタの電気特性および強誘電体特性を向上させることができる。

【 0 0 7 4 】

一実施形態の半導体装置の製造方法は、上記強誘電体薄膜の材料が、



A : Na、K、Pb、Ca、Sr、Ba、およびBiの中から選択した1つ

B : Fe、Ti、Nb、Ta、W、およびMoの中から選択した1つ

m : 自然数

で示される材料である。

【 0 0 7 5 】

これにより、上記強誘電体薄膜において膜疲労による劣化を少なくすることができる。

【 0 0 7 6 】

本発明の半導体装置は、基板上に順次積層された下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタを有する半導体装置であって、上記強誘電体薄膜が複数の層で構成され、上記強誘電体薄膜の最下層の結晶核密度が、上記強誘電体薄膜において上記最下層よりも上の層の結晶核密度よりも高いことを特徴としている。

【 0 0 7 7 】

上記構成の半導体装置によれば、上記強誘電体薄膜の最下層の結晶核密度が、強誘電体薄膜において最下層よりも上の層の結晶核密度よりも高いので、強誘電体薄膜において粗大な結晶粒の成長が抑制され、強誘電体薄膜の表面モフォロジーが改善される。つまり、上記強誘電体薄膜の構造が緻密になる。その結果、上記強誘電体薄膜と下部電極との間、および、強誘電体薄膜と上部電極との間では

ピンホールなどの隙間が減少し、強誘電体キャパシタの構造を緻密にすることができる。

【0078】

また、上記強誘電体薄膜では、粗大な結晶粒の生長が抑制されるから、結晶粒が微細になって、結晶粒径が均一になる。その結果、上記強誘電体キャパシタの均一性が向上し、ヒステリシスループの対称性も向上して、残留分極を大きくすることができる。

【0079】

また、上記強誘電体薄膜の表面モフォロジーが改善されるから、下部電極および上部電極に対する強誘電体薄膜の密着性が向上して、クラックが減少し、下部電極と上部電極との間で生じるリーク電流を減少させることができる。

【0080】

また、上記強誘電体キャパシタの残留分極が大きく、強誘電体キャパシタにおいてリーク電流が減少しているので、強誘電体キャパシタを記憶素子に用いた場合は記憶素子の性能を向上させることができる。

【0081】

また、上記強誘電体キャパシタに発生するクラックが減少するので、製造歩留を高めることができる。

【0082】

【発明の実施の形態】

以下、本発明の半導体装置およびその製造方法を図示の実施の形態により詳細に説明する。

【0083】

(第1実施形態)

図1(a)～(c)は本発明の第1実施形態の半導体装置の製造方法の工程図である。この半導体装置の製造方法を以下に説明する。

【0084】

まず、図1(a)に示すように、熱酸化によって、基板としてのシリコン基板1の表面にシリコン酸化膜2を形成した後、そのシリコン酸化膜2上に、Ti密

着層 3、Pt 下部電極 4 をスパッタリング法で順次形成する。そして、上記 Pt 下部電極 4 上に、例えば組成比 $Sr/Bi/Ta = 8/24/20$ の SBT 溶液 5 を例えば厚さ 50 nm で塗付した後、250℃、5 分の乾燥処理を行う。

【0085】

次に、図 1 (b) に示すように、酸素雰囲気中において第 2 温度としての 600℃～700℃の比較的低い温度のアニールを、第 1 設定時間としての例えば 30 分施すことにより、均一で微細な結晶粒を有する最下層としての SBT 層 6 を形成する。さらに、上記 SBT 層 6 上に、SBT 溶液を例えば厚さ 50 nm で塗布して乾燥させた後、酸素雰囲気中において第 1 温度としての例えば 800℃のアニールを 30 分施して SBT 層 7 を形成する。この SBT 層 7 と同様の形成工程を 2 回行って、SBT 層 7 上に SBT 層 8、SBT 層 9 を順次積層し、SBT 層 6、7、8、9 からなる膜厚 200 nm の強誘電体薄膜 10 を形成する。

【0086】

最後に、図 1 (c) に示すように、スパッタリング法によって強誘電体薄膜 10 上に Pt を積層した後、その積層した Pt をフォトリソグラフィでパターンニングすることによって、所望のパターンを有する Pt 上部電極 9 を形成し、Pt 下部電極 4、強誘電体薄膜 10 および Pt 上部電極 11 からなる強誘電体キャパシタを完成させる。

【0087】

このように、上記 SBT 層 6 を形成するためのアニールの温度が、SBT 層 7、8、9 を形成するためのアニールの温度より低いことによって、SBT 層 6 において粗大な結晶粒の成長が抑制されて、結晶核密度が高く、ピンホールなどの隙間が小さくなり、表面モフォロジーが改善される。したがって、上記強誘電体薄膜 10 の構造が緻密になり、Pt 下部電極 4、強誘電体薄膜 10 および Pt 上部電極 11 からなる強誘電体キャパシタの均一性をより向上させることができる。

【0088】

また、上記 SBT 層 6 の表面モフォロジーが改善されるので、Pt 下部電極 4 に対する強誘電体薄膜 10 の密着性が向上し、Pt 下部電極 4、強誘電体薄膜 10 および Pt 上部電極 11 からなる強誘電体キャパシタの電気特性が向上する。

その結果、上記強誘電体キャパシタを記憶素子に用いることができる。

【 0 0 8 9 】

また、上記強誘電体薄膜 1 0 の結晶化が真空装置を使用せずに行われているので、例えば真空引きなどの時間を必要としない。したがって、上記真空装置を用いる場合よりも量産性を高めることができる。

【 0 0 9 0 】

また、上記強誘電体薄膜 1 0 が粗大な結晶粒が生じやすい B i 層状構造強誘電体であっても、強誘電体薄膜 1 0 の結晶構造は緻密である。

【 0 0 9 1 】

また、上記強誘電体薄膜 1 0 の成膜方法は塗布成膜であるので、例えば C V D 法などよりも簡単に、均一な膜厚の強誘電体薄膜 1 0 を形成することができる。

【 0 0 9 2 】

また、下表に、夫々異なる成膜条件で形成された複数の強誘電体薄膜の電子線強度（カウント数）を示している。この電子線強度が大きいほど結晶性が良く、残留分極が大きくなる。また、上記電子線強度は、X線回折（X - Ray Diffraction）法により、結晶面の 1 つである 1 0 5 面を測定している。

【表 1】

	強誘電体薄膜の形成条件	電子線強度（個／秒）
①	8 0 0 ℃, 3 0 分	6 0 0
②	6 5 0 ℃, 3 0 分	4 5 0
③	7 0 0 ℃, 3 0 分、 8 0 0 ℃, 3 0 分	1 1 0 0
④	6 5 0 ℃, 3 0 分 8 0 0 ℃, 3 0 分	1 2 0 0
⑤	7 0 0 ℃, 3 0 分 8 0 0 ℃, 3 0 分	8 1 0
⑥	6 0 0 ℃, 3 0 分 8 0 0 ℃, 3 0 分	9 0 0

【 0 0 9 3 】

なお、①は、強誘電体薄膜を構成する複数の S B T 層の全てを 8 0 0 ℃, 3 0 分のアニールで形成している。また、②は、強誘電体薄膜を構成する複数の S B T 層の全てを 6 5 0 ℃, 3 0 分のアニールで形成している。また、③は、強誘電体薄膜を構成する複数の S B T 層のうちの最下層としての S B T 層のみを 7 0 0 ℃, 3 0 分のアニールで形成し、それ以外の S B T 層は 8 0 0 ℃, 3 0 分のアニールで形成している。また、④は、強誘電体薄膜を構成する複数の S B T 層のうちの最下層としての S B T 層のみを 6 5 0 ℃, 3 0 分のアニールで形成し、それ以外の S B T 層は 8 0 0 ℃, 3 0 分のアニールで形成している。⑤は、強誘電体薄膜を構成する複数の S B T 層のうちの最上層としての S B T 層のみを 7 0 0 ℃, 3 0 分のアニールで形成し、それ以外の S B T 層は 8 0 0 ℃, 3 0 分のアニールで形成している。⑥は、強誘電体薄膜を構成する複数の S B T 層のうちの最上層としての S B T 層のみを 6 0 0 ℃, 3 0 分のアニールで形成し、それ以外の S B T 層は 8 0 0 ℃, 3 0 分のアニールで形成している。

【 0 0 9 4 】

表 1 に示すように、強誘電体薄膜を構成する複数の S B T 層の全てを同じ条件で形成する場合 (①, ②) と比較して、強誘電体薄膜を構成する複数の S B T 層のうちの最下層または最上層のみを比較的低温のアニールで形成する場合 (③, ④, ⑤, ⑥) の方が結晶性が良くなっている。また、強誘電体薄膜を構成する複数の S B T 層のうちの最下層のみを比較的低温のアニールで形成する場合の方が、強誘電体薄膜を構成する複数の S B T 層のうちの最上層のみを比較的低温のアニールで形成する場合よりも電子線強度の値が大きくなる。したがって、強誘電体薄膜を構成する複数の S B T 層のうちの最下層のみを比較的低温のアニールで形成する場合の方が、結晶性がより向上しているのでより好ましい。

【 0 0 9 5 】

上記第 1 実施形態では、S B T 層 6 を形成するためのアニールの時間は 3 0 分であったが、そのアニールの時間は 1 0 分を越えかつ 6 0 分以下であってもよい。

【 0 0 9 6 】

また、上記第 1 実施形態では、酸素雰囲気中において $600^{\circ}\text{C} \sim 700^{\circ}\text{C}$ のアニールを 30 分施すことにより、強誘電体薄膜 10 の最下層としての SBT 層 6 を形成したが、酸素雰囲気中において 700°C を越えかつ 800°C 以下のアニールを第 2 設定時間としての 5 分～10 分施すことにより、強誘電体薄膜の最下層としての SBT 層を形成してもよい。この場合においても上記第 1 実施形態と同様の効果を奏する。

【0097】

また、上記第 1 実施形態において、強誘電体キャパシタを形成するために使用する基板は、通常、半導体装置や集積回路などの基板であれば特に限定されるものではないが、シリコン基板が好ましい。

【0098】

また、上記第 1 実施形態では、組成比 $\text{Sr} / \text{Bi} / \text{Ta} = 8 / 24 / 20$ の SBT 溶液を用いたが、その組成比以外の SBT 溶液を用いてもよい。

【0099】

(第 2 実施形態)

図 2 (a) ～ (d) は本発明の第 2 実施形態の半導体装置の製造方法の工程図である。この半導体装置の製造方法を以下に説明する。

【0100】

まず、図 2 (a) に示すように、熱酸化によって、基板としてのシリコン基板 21 の表面にシリコン酸化膜 22 を形成した後、シリコン酸化膜 22 上に、Ti 密着層 23、Pt 下部電極 24 をスパッタリング法で順次形成する。そして、上記 Pt 下部電極 24 上に、例えば組成比 $\text{Sr} / \text{Bi} / \text{Ta} = 8 / 24 / 20$ の SBT 溶液を例えば厚さ 40 nm で塗付した後、 250°C 、5 分の乾燥処理を行う。

【0101】

次に、図 2 (b) に示すように、酸素雰囲気中において第 2 温度としての $600^{\circ}\text{C} \sim 700^{\circ}\text{C}$ の比較的低い温度のアニールを、第 1 設定時間としての 30 分施すことにより、均一で微細な結晶粒を有する最下層としての SBT 層 26 を形成する。さらに、上記 SBT 層 26 上に、SBT 溶液を例えば厚さ 40 nm で塗布

して乾燥させた後、酸素雰囲気中において第 1 温度としての例えば 750℃のアニールを例えば 30 分施して SBT 層 27 を形成する。この SBT 層 27 と同様の形成工程を 2 回行って、SBT 層 27 上に SBT 層 28, SBT 層 29 を順次積層する。なお、上記 SBT 層 27, 28, 29 のアニールの温度は、700℃を越える温度であり、かつ、800℃以下の温度であればよい。また、上記 SBT 層 27, 28, 29 のアニールの時間は、10 分を越える時間、かつ、60 分以下の時間であればよい。

【0102】

次に、図 2 (c) に示すように、上記 SBT 層 29 上に SBT 溶液 30 を塗付する。

【0103】

そして、図 2 (d) に示すように、上記 SBT 層 29 上の SBT 溶液 30 に対して、酸素雰囲気中において 600℃～700℃の比較的低い温度のアニールを 30 分施して、均一で微細な結晶粒を有する最上層としての SBT 層 31 を形成し、SBT 層 26, 27, 28, 29, 31 からなる膜厚 200 nm の強誘電体薄膜 32 を形成する。最後に、スパッタリング法によって、強誘電体薄膜 32 上に Pt を積層した後、その積層した Pt をフォトリソグラフィでパターニングすることによって、所望のパターンを有する Pt 上部電極 33 を形成し、Pt 下部電極 24, 強誘電体薄膜 32 および Pt 上部電極 33 からなる強誘電体キャパシタを完成させる。

【0104】

このように、上記 SBT 層 26, 31 を形成するためのアニールの温度が、SBT 層 27, 28, 29 を形成するためのアニールの温度より低いことによって、SBT 層 26, 31 において粗大な結晶粒の成長が抑制されて、結晶核密度が高く、ピンホールなどの隙間が小さくなり、表面モフォロジーが改善される。したがって、上記強誘電体薄膜 32 の構造が緻密になり、Pt 下部電極 24, 強誘電体薄膜 32 および Pt 上部電極 33 からなる強誘電体キャパシタの均一性をより向上させることができる。

【0105】

また、上記 S B T 層 2 6 , 3 1 の表面モフォロジーが改善されるので、P t 下部電極 2 4 および P t 上部電極 3 3 に対する強誘電体薄膜 3 2 の密着性が向上し、P t 下部電極 2 4 , 強誘電体薄膜 3 2 および P t 上部電極 3 3 からなる強誘電体キャパシタの電気特性がより向上する。その結果、上記強誘電体キャパシタを記憶素子に用いることができる。

【 0 1 0 6 】

また、上記強誘電体薄膜 3 2 の結晶化が真空装置を使用せずに行われているので、例えば真空引きを行うための時間を必要としない。したがって、上記真空装置を用いる場合よりも量産性を高めることができる。

【 0 1 0 7 】

また、上記強誘電体薄膜 3 2 が粗大な結晶粒が生じやすい B i 層状構造強誘電体であっても、強誘電体薄膜 3 2 の結晶構造は緻密である。

【 0 1 0 8 】

また、上記強誘電体薄膜 3 2 の成膜方法は塗布成膜であることによって、例えば C V D 法などよりも簡単に、均一な膜厚の強誘電体薄膜 3 2 を形成することができる。

【 0 1 0 9 】

上記第 2 実施形態では、上記 S B T 層 2 6 , 3 1 を形成するためのアニールの時間は 3 0 分であったが、そのアニールの時間は 1 0 分越えかつ 6 0 分以下であればよい。

【 0 1 1 0 】

また、上記第 2 実施形態では、6 0 0 ° C ~ 7 0 0 ° C , 3 0 分のアニールを行って S B T 層 2 6 , 3 1 を形成したが、例えば 7 5 0 ° C , 1 0 分のアニールを行って、強誘電体薄膜の最下層としての S B T 層と、強誘電体薄膜の最上層としての S B T 層とを形成してもよい。この場合も、上記第 2 実施形態と同様の効果を奏する。ここで、強誘電体薄膜の最下層としての S B T 層と、強誘電体薄膜の最上層としての S B T 層とのアニールの時間は、5 分 ~ 1 0 分の範囲であればよい。また、上記強誘電体薄膜の最下層としての S B T 層と、強誘電体薄膜の最上層としての S B T 層とのアニールの温度は、7 0 0 ° C を越えかつ 8 0 0 ° C 以下であれば

よい。

【0111】

また、例えば750℃、5～10分のアニールを行って強誘電体薄膜の最下層としてのSBT層を形成し、600℃～700℃、30分のアニールを行って強誘電体薄膜の最上層としてのSBT層とを形成してもよい。ここで、上記強誘電体薄膜の最下層としてのSBT層のアニールの温度は、700℃を越えかつ800℃以下であればよい。また、上記強誘電体薄膜の最上層としてのSBT層のアニールの時間は、10分を越えかつ60分以下であればよい。

【0112】

また、例えば600℃～700℃、30分のアニールを行って強誘電体薄膜の最下層としてのSBT層を形成し、例えば750℃、5～10分のアニールを行って強誘電体薄膜の最上層としてのSBT層とを形成してもよい。ここで、上記強誘電体薄膜の最下層としてのSBT層のアニールの時間は、10分を越えかつ60分以下であればよい。また、上記強誘電体薄膜の最上層としてのSBT層のアニールの温度は、700℃を越えかつ800℃以下であればよい。

【0113】

また、上記第2実施形態において、強誘電体キャパシタを形成するために使用する基板は、通常、半導体装置や集積回路などの基板であれば特に限定されるものではないが、シリコン基板が好ましい。

【0114】

また、上記第2実施形態では、組成比 $Sr/Bi/Ta = 8/24/20$ のSBT溶液を用いたが、その組成比以外のSBT溶液を用いてもよい。

【0115】

(第3実施形態)

本発明の第3実施形態の半導体装置の製造方法を以下に説明する。

【0116】

まず、図4(a)に示すように、熱酸化によって、基板としてのシリコン基板61の表面にシリコン酸化膜62を形成した後、そのシリコン酸化膜62上に下部電極63を形成する。そして、LSMCD (Liquid Source Misted Chemical

Deposition) 法を用いて、例えば組成比 $\text{Sr} / \text{Bi} / \text{Ta} = 7 / 23 / 20$ の SBT 溶液 64 を下部電極 63 上に堆積する。

【0117】

次に、図4 (b) に示すように、上記 SBT 溶液 64 に対して乾燥、仮焼成を行った後、酸素雰囲気中において、第2温度としての $600^{\circ}\text{C} \sim 700^{\circ}\text{C}$ の比較的低い温度のアニールを、第1設定時間としての例えば30分間行うことによって均一性の良い結晶粒径を有する最下層としての初期層 65 を下部電極 63 上に形成する。更に、上記 LSMCD 法によって、 $\text{Sr}_{0.7}\text{Bi}_{2.3}\text{Ta}_2\text{O}_9$ の前駆体の溶液 ($\text{Sr}(\text{OC}_2\text{H}_4\text{OC}_2\text{H}_5)_2$, $\text{Bi}(\text{O}-n\text{C}_4\text{H}_9)_3$, $\text{Ta}(\text{OC}_2\text{H}_5)_5$) を一層堆積させ、 150°C , 30分間の乾燥を施した後、第3温度としての例えば 450°C 中で仮焼成を施す。このような堆積、乾燥および仮焼成を施す工程を例えば3回繰り返した後、酸素雰囲気中で第1温度としての 800°C の結晶化アニールを、30分間行うことにより、SBT 薄膜 66 を初期層 65 上に形成する。

【0118】

次に、図4 (c) に示すように、上記 SBT 薄膜 66 上に、SBT 溶液 67 を一層を LSMCD 法により形成する。

【0119】

次に、図4 (d) に示すように、上記 SBT 溶液 67 に対して乾燥、仮焼成を行った後、酸素雰囲気中において、 $600^{\circ}\text{C} \sim 700^{\circ}\text{C}$ の比較的低い温度のアニールを例えば30分間行って、均一性の良い結晶粒径を有する最上層としての最終層 68 を SBT 薄膜 66 上に形成し、初期層 65, SBT 薄膜 66 および最終層 68 からなる SBT 強誘電体薄膜 69 を形成する。そして、上記 SBT 強誘電体薄膜 69 上に、上部電極材料とする Pt をスパッタリング法により堆積した後、フォトリソグラフィによりパターンニングしたレジスタをマスクとして Pt を加工して、上部電極 70 を形成する。

【0120】

このように、 $600^{\circ}\text{C} \sim 700^{\circ}\text{C}$ の比較的低い温度のアニールを30分間行うことによって、初期層 65 と最終層 68 とを形成しているから、初期層 65, 最

終層 6 8 において粗大な結晶粒の成長が抑制されて、結晶核密度が高く、ピンホールなどの隙間が小さくなり、表面モフォロジーが改善される。したがって、上記強誘電体薄膜 6 9 の構造が緻密になり、下部電極 6 3 , 強誘電体薄膜 6 9 および上部電極 7 0 からなる強誘電体キャパシタの均一性をより向上させることができる。

【 0 1 2 1 】

また、上記初期層 6 5 と最終層 6 8 との表面モフォロジーが改善されるので、下部電極 6 3 および部電極 7 0 に対する強誘電体薄膜 6 9 の密着性が向上し、強誘電体キャパシタ 6 9 の電気特性がより向上する。また、8 0 0 ℃の比較的高温の結晶化アニールを 3 0 分を行って、S B T 薄膜 6 6 を形成しているから、残留分極が大きくなり、強誘電体特性を十分に引き出すことができる。その結果、上記強誘電体キャパシタ 6 9 を記憶素子に用いることができる。

【 0 1 2 2 】

また、上記強誘電体薄膜 6 9 の結晶化が真空装置を使用せずに行われているので、例えば真空引きを行うための時間を必要としない。したがって、上記真空装置を用いる場合よりも量産性を高めることができる。

【 0 1 2 3 】

また、上記強誘電体薄膜 6 9 が粗大な結晶粒が生じやすい B i 層状構造強誘電体であっても、強誘電体薄膜 6 9 の結晶構造は緻密である。

【 0 1 2 4 】

また、上記強誘電体薄膜 6 9 を L S M C D 法で形成しているから、強誘電体薄膜 6 9 のグレインサイズがより微細になり、より緻密な強誘電体薄膜を得ることができる。

【 0 1 2 5 】

また、上記 S B T 薄膜 6 6 を、堆積、乾燥、4 5 0 ℃の仮焼成を行う工程を 3 回繰り返して形成しているから、8 0 0 ℃の結晶化アニールを 3 0 分間施したときに、大きな結晶が成長する。その結果、残留分極が大きくなり、強誘電体特性を十分かつ確実に引き出すことができる。

【 0 1 2 6 】

上記第3実施形態では、初期層65, SBT薄膜66および最終層68を形成するためのアニールの時間は30分であったが、そのアニールの時間は10分を越えかつ60分以下であってもよい。

【0127】

また、上記初期層65, 最終層68を形成するためのアニールの温度は600℃～700℃であったが、事前に450℃の仮焼成を行っているので、そのアニールの温度は550℃～700℃でもよい。

【0128】

また、上記SBT薄膜66を形成するために、堆積、乾燥および仮焼成を施す工程を3回繰り返したが、2回または3回以上繰り返してもよい。要するに、乾燥および仮焼成を施す工程は複数回繰り返してもよい。

【0129】

また、上記SBT薄膜66を結晶化するための結晶化アニールの温度は800℃であったが、その結晶化アニールの温度は700℃を越えかつ800℃以下であってもよい。

【0130】

(第4実施形態)

本発明の第4実施形態の半導体装置の製造方法は、初期層65および最終層68の形成方法のみが第3実施形態と異なっている。

【0131】

以下、上記初期層65および最終層68を形成する方法を図4を用いて説明する。なお、上記初期層65および最終層68の形成する以外の工程は、第3実施形態と同様であるので説明を省略する。

【0132】

上記初期層65は次のようにして形成する。図4(a)に示すSBT溶液64に対して乾燥、仮焼成を行った後、酸素雰囲気中において、第1温度としての例えば800℃の比較的高温のアニールを、第2設定時間としての5～10分間行う。これにより、図4(b)に示すように、均一性の良い結晶粒径を有する初期層65が下部電極63上に形成される。

【 0 1 3 3 】

また、上記最終層 6 8 は次のようにして形成する。図 4 (c) に示す S B T 溶液 6 7 に対して乾燥、仮焼成を行った後、酸素雰囲気中において、例えば 8 0 0 ℃ の比較的高温のアニールを 5 分～ 1 0 分間行う。これにより、図 4 (d) に示すように、均一性の良い結晶粒径を有する最終層 6 8 が S B T 薄膜 6 6 上に形成される。

【 0 1 3 4 】

このように、上記初期層 6 5 と最終層 6 8 とを形成しても、第 3 実施形態と同様の効果を奏する。

【 0 1 3 5 】

上記第 4 実施形態では、初期層 6 5 , 最終層 6 8 を形成するためのアニールの温度は 8 0 0 ℃ であったが、そのアニールの温度は 7 0 0 ℃ を越えかつ 8 0 0 ℃ 以下であればよい。

【 0 1 3 6 】

(第 5 実施形態)

本発明の第 5 実施形態の半導体装置の製造方法は、初期層 6 5 および最終層 6 8 の形成方法のみが第 3 実施形態と異なっている。

【 0 1 3 7 】

以下、上記初期層 6 5 および最終層 6 8 を形成する方法を図 4 を用いて説明する。なお、上記初期層 6 5 および最終層 6 8 以外の形成工程は、第 3 実施形態と同様であるので説明を省略する。

【 0 1 3 8 】

上記初期層 6 5 は次のようにして形成する。図 4 (a) に示す S B T 溶液 6 4 に対して乾燥、仮焼成を行った後、酸素雰囲気中において、第 2 温度としての 6 0 0 ℃ ～ 7 0 0 ℃ の比較的低い温度のアニールを、第 1 設定時間としての例えば 3 0 分間行う。これにより、図 4 (b) に示すように、均一性の良い結晶粒径を有する初期層 6 5 が下部電極 6 3 上に形成される。

【 0 1 3 9 】

また、上記最終層 6 8 は次のようにして形成する。図 4 (c) に示す S B T 溶

液 6 7 に対して乾燥、仮焼成を行った後、酸素雰囲気中において、例えば 8 0 0 °C の比較的高温のアニールを 5 分～1 0 分間行う。これにより、図 4 (d) に示すように、均一性の良い結晶粒径を有する最終層 6 8 が S B T 薄膜 6 6 上に形成される。

【0 1 4 0】

このように、上記初期層 6 5 と最終層 6 8 とを形成しても、第 3 実施形態と同様の効果を奏する。

【0 1 4 1】

上記第 5 実施形態では、初期層 6 5 を形成するためのアニールの温度は 6 0 0 °C ～7 0 0 °C であったが、事前に 4 5 0 °C の仮焼成を行っているので、そのアニールの温度は 5 5 0 °C ～7 0 0 °C でもよい。

【0 1 4 2】

また、上記初期層 6 5 を形成するためのアニールの時間は 3 0 分であったが、そのアニールの時間は 1 0 分を越えかつ 6 0 分以下であってもよい。

【0 1 4 3】

また、上記最終層 6 8 を形成するためのアニールの温度は 8 0 0 °C であったが、そのアニールの温度は 7 0 0 °C を越えかつ 8 0 0 °C 以下であってもよい。

【0 1 4 4】

(第 6 実施形態)

本発明の第 6 実施形態の半導体装置の製造方法は、初期層 6 5 および最終層 6 8 の形成方法のみが第 3 実施形態と異なっている。

【0 1 4 5】

以下、上記初期層 6 5 および最終層 6 8 を形成する方法を図 4 を用いて説明する。なお、上記初期層 6 5 および最終層 6 8 以外の形成工程は、第 3 実施形態と同様であるので説明を省略する。

【0 1 4 6】

上記初期層 6 5 は次のようにして形成する。図 4 (a) に示す S B T 溶液 6 4 に対して乾燥、仮焼成を行った後、酸素雰囲気中において、例えば 8 0 0 °C の比較的高温のアニールを 5 分～1 0 分間行う。これにより、図 4 (b) に示すよう

に、均一性の良い結晶粒径を有する初期層 6 5 が下部電極 6 3 上に形成される。

【0 1 4 7】

また、上記最終層 6 8 は次のようにして形成する。図 4 (c) に示す S B T 溶液 6 7 に対して乾燥、仮焼成を行った後、酸素雰囲気中において、第 2 温度としての 6 0 0 °C ~ 7 0 0 °C の比較的低い温度のアニールを、第 1 設定時間としての例えば 3 0 分間行う。これにより、図 4 (d) に示すように、均一性の良い結晶粒径を有する最終層 6 8 が S B T 薄膜 6 6 上に形成される。

【0 1 4 8】

このように、上記初期層 6 5 と最終層 6 8 とを形成しても、第 3 実施形態と同様の効果を奏する。

【0 1 4 9】

上記第 6 実施形態では、上記初期層 6 5 を形成するためのアニールの温度は 8 0 0 °C であったが、そのアニールの温度は 7 0 0 °C を越えかつ 8 0 0 °C 以下であってもよい。

【0 1 5 0】

また、上記最終層 6 8 を形成するためのアニールの温度は 6 0 0 °C ~ 7 0 0 °C であったが、事前に 4 5 0 °C の仮焼成を行っているので、そのアニールの温度は 5 5 0 °C ~ 7 0 0 °C でもよい。

【0 1 5 1】

また、上記最終層 6 8 を形成するためのアニールの時間は 3 0 分であったが、そのアニールの時間は 1 0 分を越えかつ 6 0 分以下であってもよい。

【0 1 5 2】

(第 7 実施形態)

図 5 に、本発明の第 7 実施形態の半導体装置の製造方法のフローチャートを示し、図 6 (a) , (b) に、上記半導体装置の製造方法の工程図を示している。なお、上記半導体装置の製造方法においては、結晶化された強誘電体薄膜が得られる。

【0 1 5 3】

以下、図 5 および図 6 (a) , (b) を用いて、上記半導体装置の製造方法を

説明する。

【0154】

まず、図6(a)に示すように、熱酸化によって、シリコン基板71上にシリコン酸化膜72を形成する。さらに、上記シリコン酸化膜72上に、Tiからなる密着層73、Ptからなる下部電極74をスパッタリング法で順次積層する(図5のステップS70)。

【0155】

次に、上記下部電極74上に塗付するSBT溶液の調整を行う。具体的には、組成比が $Sr/Bi/Ta = 8/24/20$ なるように、SBT溶液を調整する(図5のステップS71)。

【0156】

そして、上記下部電極74上に、 $Sr/Bi/Ta = 8/24/20$ のSBT溶液をスピンドーティングする(図5のステップS72)。

【0157】

次に、 250°C 、5分の乾燥を行って、結晶化前のSBT層76を下部電極74上に形成する(図5のステップS73)。

【0158】

引き続き、上記SBT層76に対してレーザアニールを施すことにより、SBT層76を結晶化させて、図6(b)に示すように、均一性の良い結晶粒形を有する最下層としてのシード層86を、下部電極74上に形成する(図5のステップS74)。

【0159】

次に、上記シード層86上にSBT溶液をスピンドーティングする(図5のステップS75)。

【0160】

そして、上記シード層86上にある結晶化前のSBT層に対して、 250°C 、5分の乾燥を行う(図5のステップS76)。

【0161】

次に、乾燥させたSBT層を 700°C 、30分のアニールで結晶化させる。こ

れにより、上記シード層 8 6 上に、結晶化した S B T 層 7 7 が形成される（図 5 のステップ S 7 7）。

【0 1 6 2】

その後、ステップ S 7 5 ～ S 7 7 を 3 回繰り返して、S B T 層 7 7 上に S B T 層 7 8 , S B T 層 7 9 を順次積層することにより、シード層 8 6 および S B T 層 7 7 , 7 8 , 7 9 , 8 0 からなる膜厚 2 0 0 n m の強誘電体薄膜 8 1 を形成する。つまり、上記ステップ S 7 5 ～ S 7 7 は合計 4 回繰り返される。

【0 1 6 3】

次に、上記 S B T 層 8 0 上に、上部電極材料の P t をスパッタリングで堆積させる。そして、フォトリソグラフィにより、堆積した P t 上に所望とする形状のレジストを形成する。このレジストをマスクとして用いて、堆積した P t をパターニングする。これにより、上記強誘電体薄膜 8 1 上に P t からなる上部電極 8 2 が形成される（図 5 のステップ S 7 8）。

【0 1 6 4】

このように、上記シード層 8 6 がレーザアニールで結晶化されているから、シード層 8 6 では結晶成長よりも結晶核の生成が先行し、シード層 8 6 において粗大な結晶粒の成長が抑制されて、結晶核密度の高いシード層 8 6 が得られている。これにより、上記強誘電体薄膜 8 1 の表面モフォロジーが改善されると共に、強誘電体薄膜 8 1 の結晶粒径の均一性が向上する。したがって、上記強誘電体薄膜 8 1 の構造が緻密になり、下部電極 7 4 , 強誘電体薄膜 8 1 および上部電極 8 2 からなる強誘電体キャパシタの電気特性および強誘電体特性を向上させることができる。

【0 1 6 5】

また、上記強誘電体薄膜 8 1 では、粗大な結晶粒の生長が抑制されるから、結晶粒が微細になると共に、結晶粒径が均一になる。その結果、上記下部電極 7 4 , 強誘電体薄膜 8 1 , および上部電極 8 2 で構成する強誘電体キャパシタの均一性が向上し、ヒステリシスループの対称性も向上して、残留分極を大きくすることができる。

【0 1 6 6】

また、上記強誘電体薄膜 81 の表面モフォロジーが改善されるから、下部電極 74 および上部電極 82 に対する強誘電体薄膜 81 の密着性が向上して、クラックが減少し、下部電極 74 と上部電極 82 との間に生じるリーク電流を減少させることができる。

【0167】

また、上記強誘電体キャパシタの残留分極が大きく、強誘電体キャパシタにおいてリーク電流が減少しているの、強誘電体キャパシタを記憶素子に用いた場合は記憶素子の性能を向上させることができる。

【0168】

また、上記強誘電体キャパシタに発生するクラックが減少するので、製造歩留を高めることができる。

【0169】

また、上記強誘電体薄膜 81 の結晶化が真空装置を使用せずに行われているので、例えば真空引きなどの時間を必要としない。したがって、上記真空装置を用いる場合よりも量産性を高めることができる。

【0170】

また、上記強誘電体薄膜 81 は粗大な結晶粒が生じやすい Bi 層状構造強誘電体であるが、強誘電体薄膜 81 の結晶構造は緻密である。

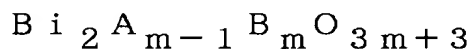
【0171】

上記第 7 実施形態では、組成比 $Sr/Bi/Ta = 8/24/20$ の SBT 溶液を用いたが、これに限定されるものではない。すなわち他の組成比の SBT 溶液を使用してもよい。

【0172】

また、上記強誘電体薄膜 81 は、強誘電体特性を有する結晶化された薄膜であれば特に限定されるものではない。例えば、以下の組成式の材料で強誘電体薄膜 81 を形成してもよい。

【0173】



A : Na、K、Pb、Ca、Sr、Ba、および Bi の中から選択した 1 つ

B : Fe、Ti、Nb、Ta、W、およびMoの中から選択した1つ

m : 自然数

上記強誘電体薄膜の材料として $\text{Bi}_2\text{A}_{m-1}\text{B}_m\text{O}_{3m+3}$ を用いた場合は、強誘電体薄膜において膜疲労による劣化を少なくすることができる。

【0174】

また、上記SBT層77,78,79,80の熱処理としては、レーザーアニール、赤外ランプなどを用いた赤外線加熱によるラピッドサーマルアニールなどの公知のアニールにより行うことができる。

【0175】

また、上記シード層86およびSBT層77,78,79,80を形成するために行う熱処理の温度は、結晶化のための温度であれば特に限定されるものではないが、低いほど好ましく、例えば、750℃以下、好ましくは600～750℃、より好ましくは600～700℃、さらに好ましくは600～650℃の温度範囲が挙げられる。そして、上記熱処理の時間は、熱処理の温度に応じて適宜設定すればよい。上記レーザーアニールを行う時間としては、例えば、1秒～60分間程度が挙げられる。

【0176】

また、上記第7実施形態では、基板としてシリコン基板71を用いていたが、通常、半導体装置や集積回路などの基板として使用することができる基板を用いてもよい。すなわち、基板はシリコン基板71に限定されるものではない。例えば、シリコンなどの半導体基板、GaAsなどの化合物半導体基板、MgOなどの酸化物結晶基板、硝子基板などを用いてもよい。そして、それらのなかから、形成しようとする素子の種類や用途などにより適切な基板を選択すればよい。それらのなかでもシリコン基板が好ましい。

【0177】

また、上記下部電極74はPtで形成したが、下部電極74の材料はPtに限定されない。上記下部電極の材料としては、下部電極上に形成する強誘電体薄膜の成膜プロセスに耐えることができ、導電性を有する材料がであれば特に限定されるものではない。例えば、Ta、Ti、Pt、Pt/Ti、Pt/Taなど

を下部電極の材料として用いることができる。また、上記下部電極の膜厚も特に限定されない。上記下部電極の膜厚は、形成しようとする素子のサイズなどに応じて適宜調整すればよい。

【 0 1 7 8 】

また、上記実施形態では、ステップ S 7 5 ~ S 7 7 を 4 回繰り返したが、複数回繰り返してもよい。好ましくは、ステップ S 7 5 ~ S 7 7 を 3 ~ 5 回繰り返す。

【 0 1 7 9 】

(第 8 実施形態)

図 7 に、本発明の第 8 実施形態の半導体装置の製造方法のフローチャートを示している。上記第 7 実施形態では、強誘電体薄膜の最下層としてのシード層を得るためにレーザアニールを行ったが、本実施形態では、強誘電体薄膜の最下層としてのシード層を得るための熱処理の方法のみが第 7 実施形態と異なる。

【 0 1 8 0 】

以下、図 6 (a) , (b) および図 7 を用いて、上記半導体装置の製造方法を説明する。

【 0 1 8 1 】

まず、図 6 (a) に示すように、熱酸化によって、シリコン基板 7 1 上にシリコン酸化膜 7 2 を形成する。さらに、上記シリコン酸化膜 7 2 上に、Ti からなる密着層 7 3、Pt からなる下部電極 7 4 をスパッタリング法で順次積層する (図 7 のステップ S 8 0) 。

【 0 1 8 2 】

次に、上記下部電極 7 4 上に塗付する SBT 溶液の調整を行う。具体的には、組成比が $Sr/Bi/Ta = 8/24/20$ なるように、SBT 溶液を調整する (図 7 のステップ S 8 1) 。

【 0 1 8 3 】

そして、上記下部電極 7 4 上に、 $Sr/Bi/Ta = 8/24/20$ の SBT 溶液をスピンコーティングする (図 7 のステップ S 8 2) 。

【 0 1 8 4 】

次に、250℃、5分の乾燥を行って、結晶化前のSBT層76を下部電極74上に形成する（図7のステップS83）。

【0185】

引き続き、上記SBT層76に対して例えば赤外線ランプなどを用いた赤外線加熱によりラピッドサーマルアニールを施すことにより、SBT層76を結晶化させて、図6（b）に示すように、均一性の良い結晶粒形を有する最下層としてのシード層86を、下部電極74上に形成する（図7のステップS84）。

【0186】

次に、上記シード層86上にSBT溶液をスピンドーティングする（図5のステップS75）。

【0187】

そして、上記シード層86上にある結晶化前のSBT層に対して、250℃、5分の乾燥を行う（図7のステップS86）。

【0188】

次に、乾燥させたSBT層を700℃、30分のアニールで結晶化させる。これにより、上記シード層86上に、結晶化したSBT層77が形成される（図7のステップS87）。

【0189】

その後、ステップS75～S77を3回繰り返して、SBT層77上にSBT層78、SBT層79を順次積層することにより、シード層86およびSBT層77、78、79、80からなる膜厚200nmの強誘電体薄膜81を形成する。つまり、上記ステップS75～S77は合計4回繰り返される。

【0190】

次に、上記SBT層80上に、上部電極材料のPtをスパッタリングで堆積させる。そして、フォトリソグラフィにより、堆積したPt上に所望とする形状のレジストを形成する。このレジストをマスクとして用いて、堆積したPtをパターンニングする。これにより、上記強誘電体薄膜81上にPtからなる上部電極82が形成される（図7のステップS88）。

【0191】

上記構成の半導体装置の製造方法によれば、第 7 実施形態と同様の効果を奏すると共に、サーマルラピッドアニールによりシード層 8 6 を得ているので、レーザアニールによりシード層 8 6 を得る場合よりも、製造コストを下げるができる。

【 0 1 9 2 】

上記第 7 実施形態では、組成比 $Sr/Bi/Ta = 8/24/20$ の SBT 溶液を用いたが、これに限定されるものではない。すなわち他の組成比の SBT 溶液を使用してもよい。

【 0 1 9 3 】

【発明の効果】

本発明の半導体装置の製造方法によれば、比較的低い第 2 温度の加熱処理を強誘電体薄膜の最下層および最上層の少なくとも一方に施すので、強誘電体薄膜の最下層および最上層の少なくとも一方において、粗大な結晶粒の成長が抑制されて、結晶核密度が高く、ピンホールなどの隙間が小さくなり、表面モフォロジーが改善される。したがって、上記強誘電体薄膜の構造が緻密になり、強誘電体キャパシタの均一性を向上させることができる。

【 0 1 9 4 】

また、上記強誘電体薄膜の最下層および最上層の少なくとも一方の表面モフォロジーが改善されるので、下部電極および上部電極の少なくとも一方に対する強誘電体薄膜の密着性が向上し、下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタの電気特性が向上する。したがって、上記強誘電体キャパシタを記憶素子に用いることができる。

【 0 1 9 5 】

また、上記強誘電体薄膜の結晶化が真空装置を用いずに行われているので、例えば真空引きなどの時間を必要とせず、真空装置を用いる場合よりも量産性を高めることができる。

【 0 1 9 6 】

一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層、最上層が比較的低温である第 2 温度の加熱処理で結晶化されているので、強

誘電体薄膜の最下層,最上層における粗大な結晶粒の成長を抑制し、強誘電体薄膜の最下層,最上層の結晶粒を均一かつ微細にすることができる。

【 0 1 9 7 】

一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層,最上層の加熱処理の時間が比較的長時間である第 1 設定時間であるので、この加熱処理の温度が比較的低温である第 2 温度であっても、強誘電体薄膜の最下層,最上層を確実に結晶化することができる。

【 0 1 9 8 】

一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層が比較的低温である第 2 温度の加熱処理で結晶化されるので、強誘電体薄膜の最下層における粗大な結晶粒の成長を抑制し、強誘電体薄膜の最下層の結晶粒を均一かつ微細にすることができる。

【 0 1 9 9 】

また、上記強誘電体薄膜の最上層が比較的短時間である第 2 設定時間の加熱処理で結晶化されるので、強誘電体薄膜の最上層における粗大な結晶粒の成長を抑制し、強誘電体薄膜の最上層の結晶粒を均一かつ微細にすることができる。

【 0 2 0 0 】

一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層を結晶化する加熱処理の時間が比較的長時間である第 1 設定時間であるので、この加熱処理の温度が比較的低温である第 2 温度であっても、強誘電体薄膜の最下層を確実に結晶化することができる。

【 0 2 0 1 】

上記強誘電体薄膜の最上層を結晶化する加熱処理の温度が比較的高温である第 1 温度であるので、この加熱処理の時間が比較的短時間である第 2 設定時間であっても、強誘電体薄膜の最上層を確実に結晶化することができる。

【 0 2 0 2 】

一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層が比較的短時間である第 2 設定時間の加熱処理で結晶化されるので、強誘電体薄膜の最下層における粗大な結晶粒の成長を抑制し、強誘電体薄膜の最下層の結

晶粒を均一かつ微細にすることができる。

【 0 2 0 3 】

また、上記強誘電体薄膜の最上層が比較的低温である第 2 温度の加熱処理で結晶化されるので、強誘電体薄膜の最上層における粗大な結晶粒の成長を抑制し、強誘電体薄膜の最上層の結晶粒を均一かつ微細にすることができる。

【 0 2 0 4 】

一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層を結晶化する加熱処理の温度が比較的高温である第 1 温度であるので、この加熱処理の時間が比較的短時間である第 2 設定時間であっても、強誘電体薄膜の最下層を確実に結晶化することができる。

【 0 2 0 5 】

上記強誘電体薄膜の最上層を結晶化する加熱処理の温度が比較的長時間である第 1 設定時間であるので、この加熱処理の温度が比較的低温である第 2 温度であっても、強誘電体薄膜の最上層を確実に結晶化することができる。

【 0 2 0 6 】

一実施形態の発明の半導体装置の製造方法によれば、比較的短い第 2 設定時間の加熱処理を強誘電体薄膜の最下層および最上層の少なくとも一方に施すので、強誘電体薄膜の最下層および最上層の少なくとも一方において、粗大な結晶粒の成長が抑制されて、結晶核密度が高く、ピンホールなどの隙間が小さくなり、表面モフォロジーが改善される。したがって、上記強誘電体薄膜の構造が緻密になり、強誘電体キャパシタの均一性を向上させることができる。

【 0 2 0 7 】

また、上記強誘電体薄膜の最下層および最上層の少なくとも一方の表面モフォロジーが改善されるので、下部電極および上部電極の少なくとも一方に対する強誘電体薄膜の密着性が向上し、下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタの電気特性が向上する。したがって、上記強誘電体キャパシタを記憶素子に用いることができる。

【 0 2 0 8 】

また、上記強誘電体薄膜の結晶化が真空装置を用いずに行われているので、例

えば真空引きなどの時間を必要とせず、真空装置を用いる場合よりも量産性を高めることができる。

【 0 2 0 9 】

一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層、最上層が比較的短時間である第2設定時間の加熱処理で結晶化されるので、強誘電体薄膜の最下層、最上層における粗大な結晶粒の成長を抑制し、強誘電体薄膜の最下層、最上層の結晶粒を均一かつ微細にすることができる。

【 0 2 1 0 】

一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層、最上層の加熱処理の温度が比較的高温である第1温度であるので、その加熱処理の時間が比較的短時間である第2設定時間であっても、強誘電体薄膜の最下層、最上層を確実に結晶化することができる。

【 0 2 1 1 】

一実施形態の発明の半導体装置の製造方法は、上記強誘電体薄膜の最下層および最上層の少なくとも一方を形成するための加熱処理が比較的短時間である場合、第1温度が700℃を越えかつ800℃以下の温度あるので、強誘電体薄膜の最下層および最上層の少なくとも一方において均一で微細な結晶粒を確実に得ることができる。

【 0 2 1 2 】

一実施形態の発明の半導体装置の製造方法は、第2温度が600℃～700℃の範囲であるので、強誘電体薄膜の最下層および最上層の少なくとも一方において均一で微細な結晶粒を確実に得ることができる。

【 0 2 1 3 】

一実施形態の発明の半導体装置の製造方法は、強誘電体薄膜の最下層および最上層の少なくとも一方を形成するための加熱処理が比較的低温である場合、第1設定時間が10分を越えかつ60分以下であるので、強誘電体薄膜の最下層および最上層の少なくとも一方において均一で微細な結晶粒を確実に得ることができる。

【 0 2 1 4 】

一実施形態の発明の半導体装置の製造方法は、上記第2設定時間が5分～10分の範囲であるので、強誘電体薄膜の最下層および最上層の少なくとも一方において均一で微細な結晶粒を確実に得ることができる。

【0215】

一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜が粗大な結晶粒が生じやすいBi層状構造強誘電体であっても、強誘電体薄膜の結晶構造は緻密である。

【0216】

一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の成膜方法は塗布成膜であることによって、例えばCVD法などよりも簡単に、均一な膜厚の強誘電体薄膜を形成することができる。

【0217】

一実施形態の発明の半導体装置の製造方法は、上記強誘電体薄膜をLSMCD法で形成するから、強誘電体薄膜のグレインサイズがより微細になり、より緻密な強誘電体薄膜を形成することができる。

【0218】

一実施形態の発明の半導体装置の製造方法は、上記最下層と最上層との間の層を、堆積、第3温度の仮焼成を行う工程を複数回繰り返して形成するから、第1温度の結晶化アニールを第1設定時間施したときに、大きな結晶が成長して、残留分極が大きくなり、強誘電体特性を十分かつ確実に引き出すことができる。

【0219】

本発明の半導体装置によれば、上記強誘電体薄膜の最下層および最上層の少なくとも一方の結晶粒が、最下層と最上層との間の層の結晶粒よりも小さいので、強誘電体薄膜の最下層および最上層の少なくとも一方は、結晶核密度が高く、表面モフォロジーが良好であり、下部電極および上部電極の少なくとも一方に対する強誘電体薄膜の密着性が向上する。したがって、上記下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタの電気特性が向上し、強誘電体キャパシタを記憶素子に用いることができる。

【0220】

本発明の半導体装置によれば、上記強誘電体薄膜の最下層および最上層の結晶粒が、最下層と最上層との間の層の結晶粒よりも小さいので、強誘電体薄膜の最下層および最上層は、結晶核密度が高く、表面モフォロジーが良好であり、下部電極および上部電極に対する強誘電体薄膜の密着性が向上する。したがって、上記下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタの電気特性がより向上し、強誘電体キャパシタを記憶素子に用いることができる。

【 0 2 2 1 】

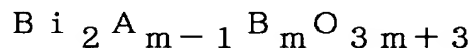
本発明の半導体装置の製造方法によれば、強誘電体薄膜の最下層はレーザ光を用いたレーザアニールで結晶化させているから、強誘電体薄膜の結晶粒が微細になり、その結晶粒径の均一性が向上して、強誘電体薄膜の構造が緻密になり、強誘電体キャパシタの電気特性および強誘電体特性を向上させることができる。

【 0 2 2 2 】

本発明の半導体装置の製造方法によれば、強誘電体薄膜の最下層は、例えば赤外線ランプなどを用いた赤外線加熱によるラピッドサーマルアニールで結晶化させるから、強誘電体薄膜の結晶粒が微細になり、その結晶粒径の均一性も向上して、強誘電体薄膜の構造が緻密になり、強誘電体キャパシタの電気特性および強誘電体特性を向上させることができる。

【 0 2 2 3 】

一実施形態の半導体装置の製造方法は、上記強誘電体薄膜の材料が、



A : Na、K、Pb、Ca、Sr、Ba、およびBiの中から選択した1つ

B : Fe、Ti、Nb、Ta、W、およびMoの中から選択した1つ

m : 自然数

で示される材料であるから、強誘電体薄膜において膜疲労による劣化を少なくすることができる。

【 0 2 2 4 】

本発明の半導体装置は、強誘電体薄膜の最下層の結晶核密度が、強誘電体薄膜において最下層よりも上の層の結晶核密度よりも高いので、強誘電体薄膜において粗大な結晶粒の成長が抑制され、強誘電体薄膜の表面モフォロジーが改善され

て、強誘電体薄膜と下部電極との間、および、強誘電体薄膜と上部電極との間ではピンホールなどの隙間が減少し、強誘電体キャパシタの構造が緻密になる。

【0225】

また、上記強誘電体薄膜では、粗大な結晶粒の生長が抑制されるから、強誘電体キャパシタの均一性が向上し、ヒステリシスループの対称性も向上して、残留分極を大きくすることができる。

【0226】

また、上記強誘電体薄膜の表面モフォロジーが改善されるから、下部電極および上部電極に対する強誘電体薄膜の密着性が向上して、クラックが減少し、下部電極と上部電極との間で生じるリークを減少させることができる。

【0227】

また、上記強誘電体キャパシタの残留分極が大きく、強誘電体キャパシタにおいてリーク電流が減少しているので、強誘電体キャパシタを記憶素子に用いた場合は記憶素子の性能を向上させることができる。

【0228】

また、上記強誘電体キャパシタを製造するときに発生するクラックが減少するので、製造歩留を高めることができる。

【図面の簡単な説明】

【図1】 図1(a)～(c)は本発明の第1実施形態の半導体装置の製造方法の工程図である。

【図2】 図2(a)～(d)は本発明の第2実施形態の半導体装置の製造方法の工程図である。

【図3】 図3(a), (b)は従来の半導体装置の製造方法の工程図である。

【図4】 図4(a)～(d)は本発明の第2,第3,第4,第5および第6実施形態の半導体装置の製造方法の工程図である。

【図5】 図5は本発明の第7実施形態の半導体装置の製造方法のフローチャートである。

【図6】 図6(a), (b)は本発明の第7,第8実施形態の半導体装置の

製造方法の工程図である。

【図 7】 図 7 は上記第 8 実施形態の半導体装置の製造方法のフローチャートである。

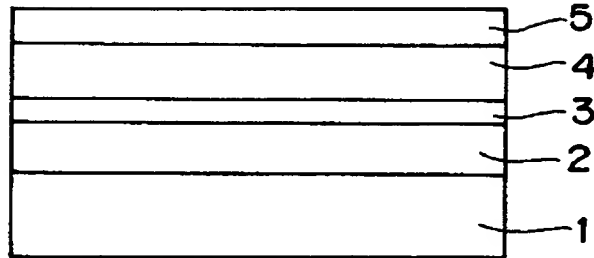
【符号の説明】

1, 2 1, 6 1, 7 1 シリコン基板
4, 2 4 Pt 下部電極
6, 7, 8, 9 SBT 層
1 1, 3 3 Pt 上部電極
1 0, 3 2, 6 9, 8 1 強誘電体薄膜
2 6, 2 7, 2 8, 2 9 SBT 層
6 3, 7 4 下部電極
6 5 初期層
6 6 SBT 薄膜
6 8 最終層
7 0, 8 2 上部電極
7 7, 7 8, 7 9, 8 0 SBT 層
8 6 シード層

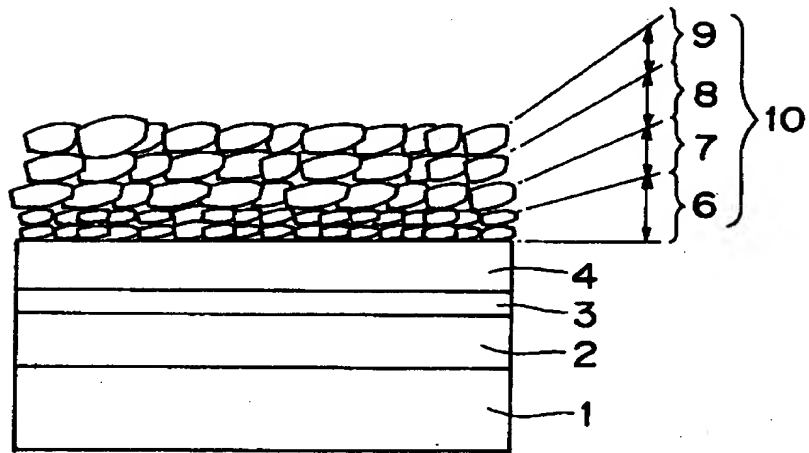
【書類名】 図面

【図 1】

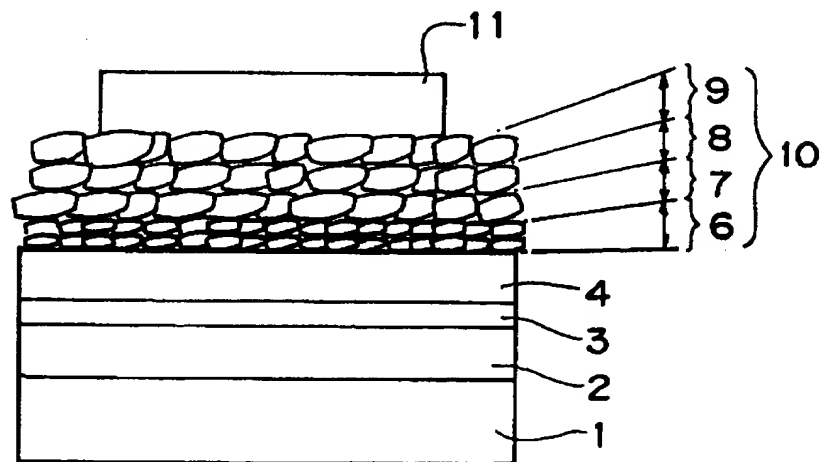
(a)



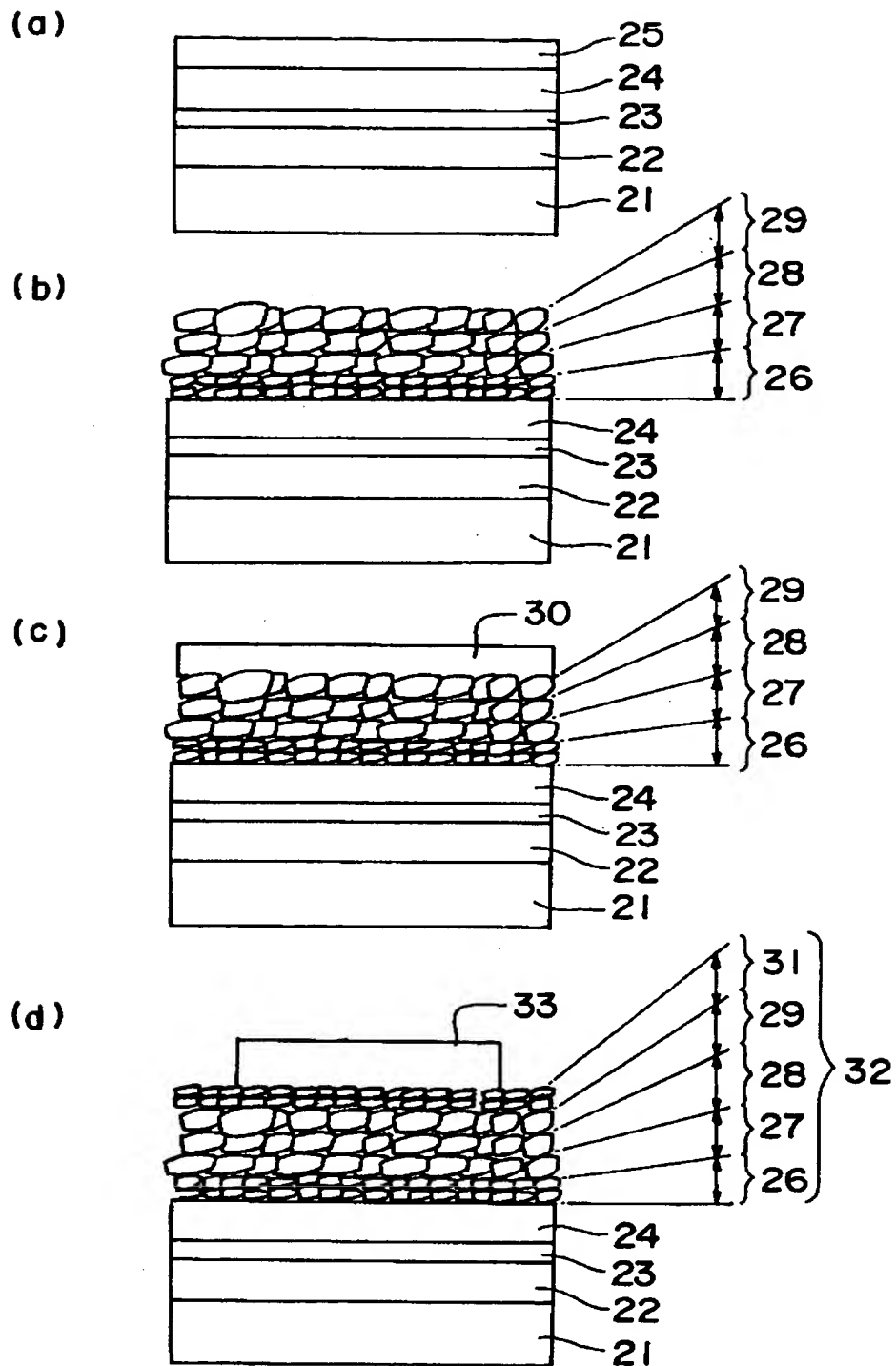
(b)



(c)

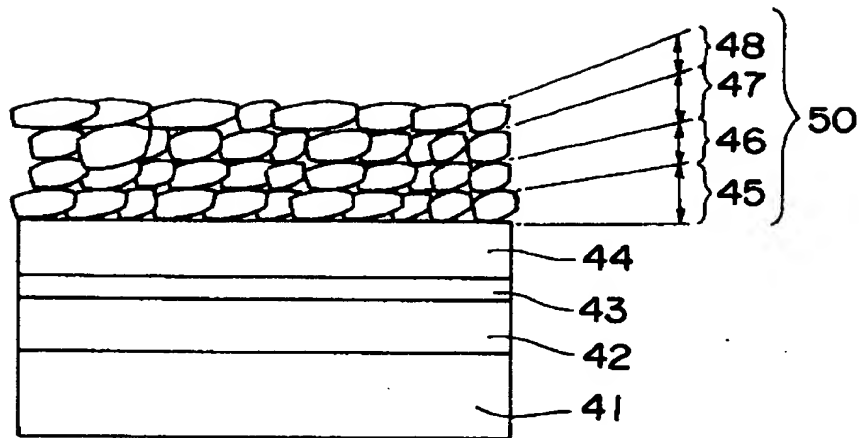


【図 2】

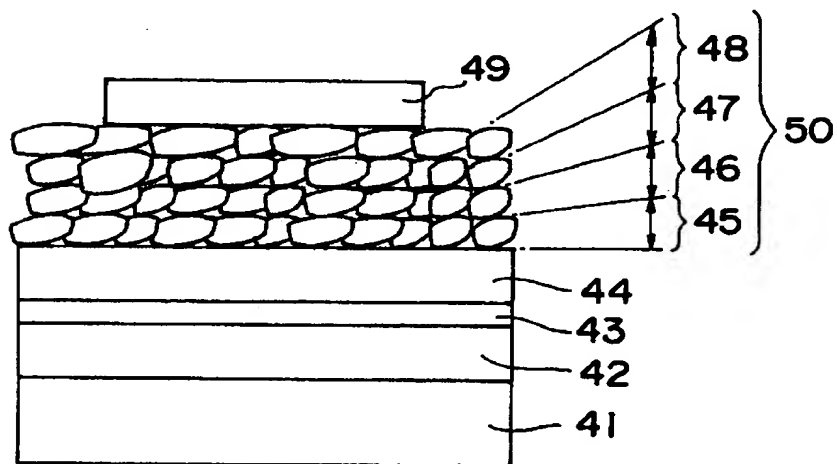


【図 3】

(a)

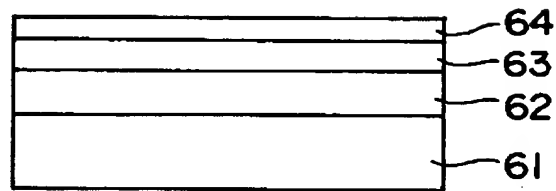


(b)

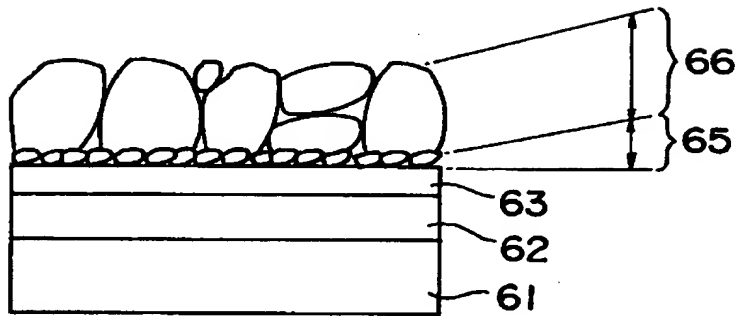


【図 4】

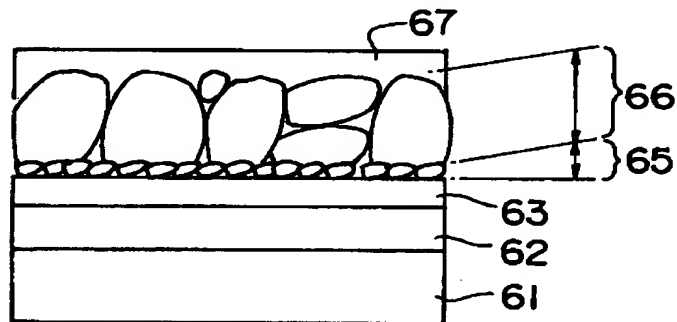
(a)



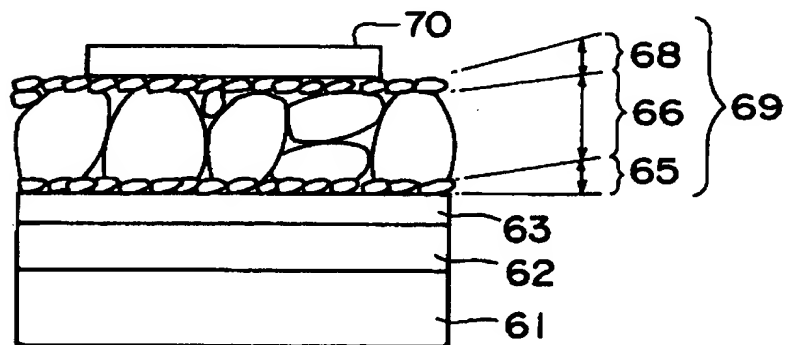
(b)



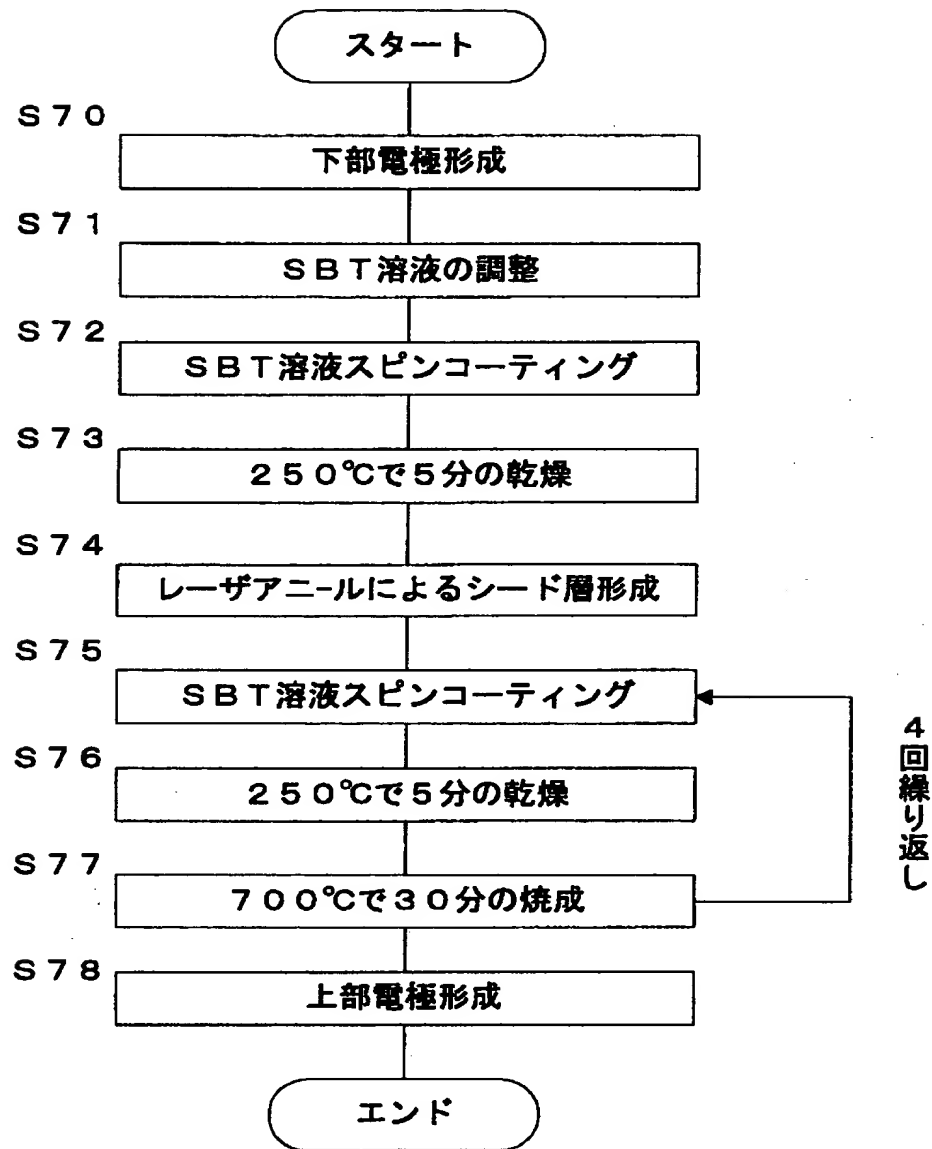
(c)



(d)

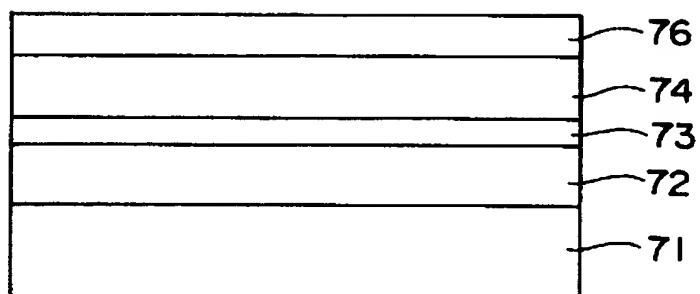


【図5】

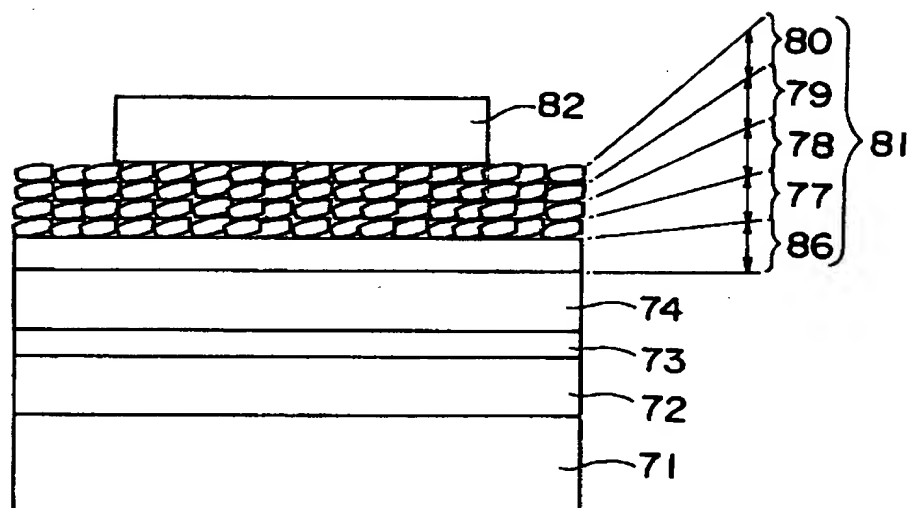


【図 6】

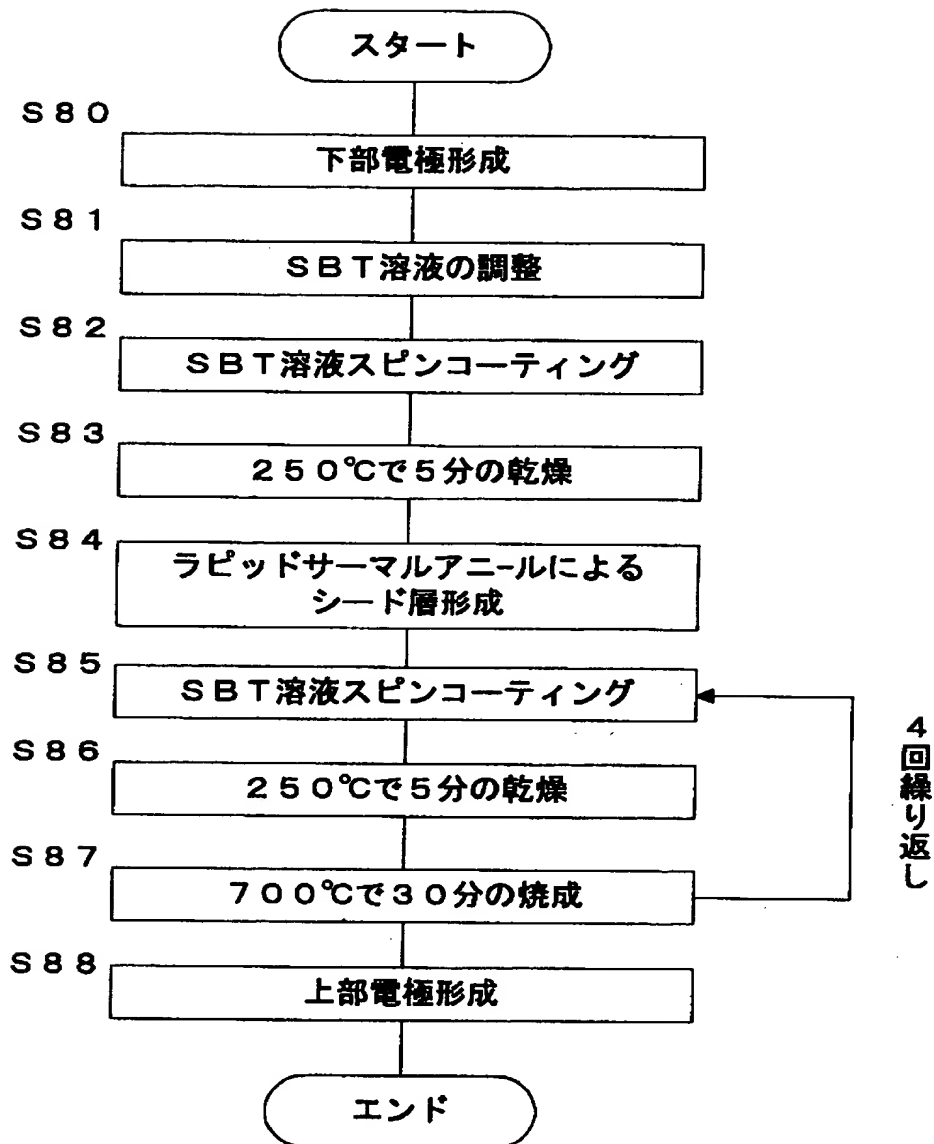
(a)



(b)



【図 7】



【書類名】 要約書

【要約】

【課題】 強誘電体キャパシタの均一性を向上でき、かつ、記憶素子に用いることができる量産性が高い半導体装置およびその製造方法を提供する。

【解決手段】 シリコン基板 1 上に順次積層された P t 下部電極 4 , 強誘電体薄膜 1 0 および P t 上部電極 1 1 からなる強誘電体キャパシタを形成しているこの強誘電体キャパシタにおける強誘電体薄膜 1 0 は複数の S B T 層 6 , 7 , 8 , 9 で構成されている。上記 S B T 層 6 の結晶粒は S B T 層 7 , 8 , 9 の結晶粒よりも小さい。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	大阪府大阪市阿倍野区長池町22番22号
氏 名	シャープ株式会社